



---

**МИКРОСХЕМЫ ИНТЕГРАЛЬНЫЕ**  
**К1967ВН04х**

**Альтернативные функции портов общего назначения**

## Содержание

1	Общие замечания .....	6
2	Управляющие сигналы внутренних интерфейсов системы .....	9
2.1	Интерфейсы AC97 и SSI .....	9
2.2	Интерфейс SPI и другие модули системы .....	9
2.3	Таймер общего назначения GTMR .....	10
2.4	Контроллер NAND Flash-памяти .....	10
3	Альтернативные функции выводов порта PA .....	11
3.1	PA0 .....	11
3.2	PA1 .....	11
3.3	PA2 .....	11
3.4	PA3 .....	12
3.5	PA4 .....	12
3.6	PA5 .....	13
3.7	PA6 .....	13
3.8	PA7 .....	13
3.9	PA8 .....	14
3.10	PA12_9 .....	14
3.11	PA13 .....	15
3.12	PA14 .....	15
3.13	PA15 .....	15
3.14	PA16 .....	16
3.15	PA17 .....	16
3.16	PA18 .....	17
3.17	PA19 .....	17
3.18	PA20 .....	17
3.19	PA21 .....	18
3.20	PA22 .....	18
3.21	PA23 .....	19
3.22	PA24 .....	19
3.23	PA25 .....	20
3.24	PA26 .....	20
3.25	PA27 .....	21
3.26	PA28 .....	21
3.27	PA29 .....	22
3.28	PA30 .....	22
3.29	PA31 .....	23
4	Альтернативные функции выводов порта PB .....	24
4.1	PB0 .....	24
4.2	PB1 .....	24
4.3	PB2 .....	24

4.4	PB3	25
4.5	PB4	25
4.6	PB5	25
4.7	PB6	26
4.8	PB7	26
4.9	PB8	27
4.10	PB9	27
4.11	PB10	27
4.12	PB11	28
4.13	PB12	28
4.14	PB13	29
4.15	PB14	29
4.16	PB15	29
4.17	PB16	30
4.18	PB17	30
4.19	PB18	31
4.20	PB19	31
4.21	PB20	32
4.22	PB21	32
4.23	PB22	32
4.24	PB23	33
4.25	PB24	33
4.26	PB25	33
4.27	PB26	34
4.28	PB27	34
4.29	PB28	34
4.30	PB29	35
4.31	PB30	35
4.32	PB31	36
5	Альтернативные функции выводов порта РС	37
5.1	PC0	37
5.2	PC1	37
5.3	PC2	37
5.4	PC3	38
5.5	PC4	38
5.6	PC5	38
5.7	PC6	39
5.8	PC7	39
5.9	PC8	39
5.10	PC9	39
5.11	PC10	40
5.12	PC11	40

5.13	PC12	40
5.14	PC13	41
5.15	PC14	41
5.16	PC15	41
5.17	PC16	41
5.18	PC17	41
5.19	PC18	42
5.20	PC19	42
5.21	PC20	42
5.22	PC21	42
5.23	PC22	42
5.24	PC23	43
5.25	PC24	43
5.26	PC25	43
5.27	PC26	43
5.28	PC27	44
5.29	PC28	44
5.30	PC29	44
5.31	PC30	45
5.32	PC31	45
6	Альтернативные функции выводов порта PD	46
6.1	PD7_0	46
6.2	PD15_8	46
6.3	PD16	47
6.4	PD17	47
6.5	PD18	47
6.6	PD19	48
6.7	PD20	48
6.8	PD21	48
6.9	PD22	49
6.10	PD23	49
6.11	PD24	49
6.12	PD25	50
6.13	PD26	50
6.14	PD27	50
6.15	PD28	50
6.16	PD29	51
6.17	PD30	51
6.18	PD31	51
7	Альтернативные функции выводов порта PE	53
7.1	PE7_0	53
7.2	PE15_8	53

7.3	PE21_16 .....	53
8	Дополнительные выводы .....	54
8.1	OSCO .....	54
9	Примеры.....	55
9.1	UART0 .....	57
9.2	UART1 .....	57
9.3	UART2 .....	57
9.4	UART3 .....	57
9.5	SPI0 .....	57
9.6	SPI1 .....	58
9.7	SPI2 .....	58
9.8	NAND .....	58
9.9	SSI0(I2S0) .....	59
9.10	SSI1(I2S1) .....	59
9.11	I2C .....	59
9.12	USB .....	60
9.13	VC .....	60
9.14	LCD .....	60
9.15	GTMR0 .....	60
9.16	GTMR1 .....	61
9.17	МКПД0 .....	61
9.18	МКПД1 .....	61
9.19	ARINC.....	61
9.20	RGMII, RMII .....	62
9.21	MDIO .....	62
9.22	CAN0.....	62
9.23	CAN1.....	62
9.24	HOST.....	62

## 1 Общие замечания

В спецификации на микросхемы указано, что выводы портов общего назначения GPIO могут иметь альтернативные функции, т.е. могут выполнять функцию, отличную от функции входа-выхода общего назначения.

Каждый порт имеет регистр альтернативной функции PiALT. Установка некоторого бита регистра PiALT в 1 вызывает переключение соответствующего ему вывода на выполнение альтернативной функции.

Если у вывода одна альтернативная функция, то для настройки вывода на ее выполнение достаточно записать  $PiALT[k] = 1$ , и соответствующий вывод (k) порта (i) переключится на новую функцию.

Если у вывода несколько альтернативных функций, то подключение сигнала выбранного интерфейса к данному выводу выполняется с помощью дополнительных управляющих сигналов.

В данном документе будут рассмотрены альтернативные функции для каждого из выводов портов. Для предоставления информации используются таблицы следующего формата:

PiALT[k]	CFG	Вход/Выход	Значение	Функция
0/1	1/0/x			

Обозначения, используемые в таблице:

$PiALT[k]$  – бит включения альтернативной функции для некоторого вывода (k) порта общего назначения (i);

*CFG* – дополнительные информационные сигналы (один или несколько), управляющие выбором альтернативной функции при наличии нескольких вариантов. Сигналы обозначаются как 0, 1 или x. Обозначение «x» предполагает любое значение сигнала, т.е. отсутствие его влияния на результат;

*Вход/Выход* – направление работы буфера внешней контактной площадки. Значение 1 означает выдачу информации (Выход), значение 0 означает отключенное состояние (Вход), в котором выполняется прием информации от внешнего источника;

*Значение* – определяет выдаваемое на внешний контакт значение в случае, когда вывод работает как Выход. Когда вывод работает как Вход, то данное поле не используется;

*Функция* – краткое описание выполняемой выводом функции.

Условно контактную площадку входа-выхода можно представить следующим образом (см. рисунок 1).

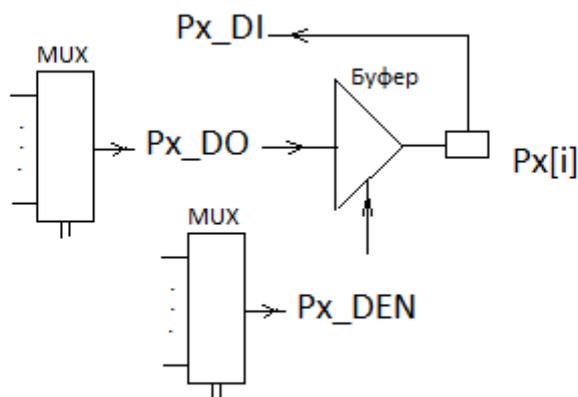


Рисунок 1 – Контактная площадка входа-выхода

Контактная площадка  $Px[i]$  работает как выход, когда сигнал разрешения  $Px\_DEN$  буфера равен 1. В этом случае на внешний вывод подается значение  $Px\_DO$ . Это же значение подается и на вход  $Px\_DI$ . Если сигнал разрешения  $Px\_DEN = 0$ , то выход буфера находится в отключенном состоянии и вход  $Px\_DI$  имеет возможность принимать информацию от внешнего передатчика. Если у некоторого вывода  $J$  порта общего назначения нет никаких альтернативных функций, то для данного вывода  $Px\_DEN = PiDDR[J]$ , а  $Px\_DO = PiDR[J]$ . При наличии у вывода множества функций, сигнал разрешения  $Px\_DEN$  и сигнал данных  $Px\_DO$  формируются как выходы мультиплексоров (MUX), которые с помощью битов регистров конфигурации настраиваются на определенную функцию. Из рисунка 1 видно, что в данный момент времени возможно задание только одной функции для внешнего вывода.

Далее, в отдельных главах будет отражено, как настраиваются различные функции каждого из выводов порта. При этом необходимо помнить, что сигналы настроек конкретного вывода могут влиять и на другие выходы. Поэтому, рассматривая каждый вывод в отдельности, нужно принимать во внимание общность сигналов управления для некоторой группы выводов. В таблице 1 указано, какие источники сигналов влияют на настройки конкретного вывода порта. При этом, для уменьшения загруженности таблицы, для портов PA, PB, PC не будет упоминаться бит альтернативной функции регистра  $PiALT$ . Для этих портов в таблице отражены только дополнительные к  $PiALT$  сигналы (т.е. отсутствие конфигурационного сигнала в ячейке предполагает наличие только бита  $PiALT$ ).

Таблица 1 – Сигналы настройки вывода порта

N	Порт общего назначения				
	PA	PB	PC	PD	PE
0		CFG1[15]	CFG1[25] FLCTL[4,0]	PX_ALT[0]	PX_ALT[4]
1			FLCTL[5,1]		
2	CFG1[18, 17]		CFG1[16] FLCTL[6,2]		
3			CFG1[16] FLCTL[7,3]		
4			noALT		
5			noALT		
6			noALT, HDO_EN		
7		noALT			
8			CFG1[20]	PX_ALT[1]	PX_ALT[5]
9					
10					
11		CFG1[21,16]			
12		CFG1[21,16]			
13		CFG1[22,20]	PX_ALT[8,7,2]	PX_ALT[6]	
14	CFG1[18,17]				
15	CFG1[14]				
16		CFG1[22]	PX_ALT[8,7,2]	PX_ALT[6]	
17	CFG1[18,17]				
18					
19	SICR0[1,0]	CFG1[22,4]	PX_ALT[8,7,2]	PX_ALT[6]	
20					
21			LORCTL[9]	Нет таких контактов	
22	SICR0[1,0] CFG1[19]				
23			PX_ALT[8,7,3]	Нет таких контактов	
24					
25	CFG1[21,19]				
26	CFG1[21,19,8]	CFG1[5]	PX_ALT[8,7,3]	Нет таких контактов	
27		CFG1[23,5]			
28		CFG1[23,6]			CFG1[26] L1RCTL[9]
29	CFG1[21, 8]	CFG1[24,6]	PX_ALT[7,3,2]	Нет таких контактов	
30		CFG1[24,7]			
31		CFG1[7]			

Примечание – Обозначение «noALT» указывает на то, что бит PiALT[] не оказывает влияния на функции соответствующего ему вывода

## 2 Управляющие сигналы внутренних интерфейсов системы

При рассмотрении функций некоторых контактов нам потребуется информация о работе различных интерфейсов системы. Они формируют сигналы, которые через конфигурационные мультиплексоры подаются на внешние контактные площадки.

### 2.1 Интерфейсы AC97 и SSI

Рассмотрим контроллер, объединяющий функции интерфейсов AC97 и SSI(I2S). Данный контроллер может управлять пятью выводами и, соответственно, для управления ими нам понадобятся линии задания направления вывода AC\_EN[5:0] и линии выдачи данных AC\_D[5:0]. Значение линий определяется режимом работы. Режим AC97 задается установкой битов SICR0[1:0] = 01.

Таблица 2

Линия	AC97	AC_EN[]	AC_D[]	Функция
0	1	выход(1)	DATA_OUT	Выход данных AC97
1	1	выход(1)	SICR0[4]	Сброс AC97
2	1	SICR0[6]	BIT_CLK	Синхронизация AC97
3	1	выход(1)	SYNC	Синхронизирующий импульс AC97
4	1	вход(0)	DATA_IN	Вход данных AC97
0	0	TEN	TXD	Данные для передачи SSI
1	0	TEN & Master	TFS	Начало фрейма передатчика SSI
2	0	TEN & Master	TCLK	Синхронизация передачи SSI
3	0	REN & Master	RFS	Начало фрейма приемника SSI
4	0	REN & Master	RCLK	Синхронизация приема SSI

TEN – бит включения передатчика SSI;  
REN – бит включения приемника SSI

Если интерфейс работает в режиме подчиненного (Master = 0), то он использует внешние сигналы синхронизации и начала фрейма.

### 2.2 Интерфейс SPI и другие модули системы

При подключении интерфейса SPI, последний может управлять четырьмя внешними входами-выходами. Направление работы вывода зависит от режима работы интерфейса (см. таблицу 3).

Таблица 3

Линия	Мастер	SPI_EN[]	SPI_D[]	Функция
0	1	Выход	CLK	Синхронизация
1	1	Выход	CS	Выбор устройства
2	1	Вход	DI	Вход данных
3	1	Выход	DO	Выход данных
0	0	Вход	CLK	Синхронизация
1	0	Вход	CS	Выбор устройства
2	0	Выход	DO	Выход данных
3	0	Вход	DI	Вход данных

В таблицах описания выводов для определения типа Вход/Выход мы будем использовать сигналы AC\_EN[] или SPI\_EN[]. Для определения выдаваемого значения будем использовать сигналы AC\_D[] или SPI\_D[].

### **2.3 Таймер общего назначения GTMR**

Таймер общего назначения GTMR имеет возможность формирования выходных сигналов ШИМ. Обычно выход ШИМ - это активный выход. Но для поддержки функции аварийного отключения выхода, таймер имеет возможность формирования сигнала разрешения выхода ШИМ. В связи с этим, в таблицах описания выводов, управляющие сигналы GTMR будут упоминаться как GTi\_EN[] (разрешение выдачи), а выдаваемое значение будет иметь название альтернативной функции сигнала контактной площадки. Индекс (i) есть номер таймера.

### **2.4 Контроллер NAND Flash-памяти**

Контроллер NAND Flash-памяти использует специальный внутренний сигнал управления NF\_DEN для управления направлением передачи информации по шине данных. NF\_DEN равен 1 при записи данных и равен 0 при чтении.

### 3 Альтернативные функции выводов порта PA

#### 3.1 PA0

Вывод PA[0] может выполнять альтернативную функцию выхода передатчика UART0.

Таблица 4

PAALT[0]	Вход/Выход	Значение	Функция
0	PADDR[0]	PADR[0]	Вывод общего назначения
1	Выход	U0_TXD	Выход передатчика UART0

Когда бит PAALT[0] равен нулю, то управление входом или выходом определяется соответствующим битом регистра направления PADDR[0]. Если вывод будет иметь тип Выход, то выдаваемая информация будет определяться битом регистра данных PADR[0]. Выбор альтернативной функции переключает вывод PA[0] в состояние выдачи информации (Выход). Выдаваемое на внешний контакт значение есть выход передатчика UART0 (U0\_TXD).

#### 3.2 PA1

Вывод PA[1] имеет альтернативную функцию входа приемника UART0.

Таблица 5

PAALT[1]	Вход/Выход	Значение	Функция
0	PADDR[1]	PADR[1]	Вывод общего назначения
1	Вход	-	Вход U0_RXD приемника UART0

Включение альтернативной функции переводит вывод в состояние Вход. Значение с внешней контактной площадки будет поступать на вход приемника UART0. Если мы установим PAALT[1] = 0, значение внешней контактной площадки PA[1] все равно будет поступать на вход приемника UART0 и приемник может нормально принимать данные, но только в том случае, если вывод PA[1] будет настроен как Вход, чтобы исключить конфликт данных на внешнем выводе, если к нему подключен внешний передатчик.

#### 3.3 PA2

Вывод PA[2] имеет следующие альтернативные функции:

- выход передатчика UART1;
- строб чтения внешней NAND Flash-памяти.

Простая установка бита PAALT[1] = 1 не дает информации о том, какую из двух альтернативных функций будет выполнять вывод. Выбор нужного подключения должен выполняться дополнительными управляющими сигналами. По сути, в данном месте мы имеем мультиплексор двух входов в один выход и нам нужно знать, каким сигналом управляется данный мультиплексор. Биты CFG1[18:17] имеют название NAND\_ALT и используются для управления указанным выше мультиплексором.

Таблица 6

PAALT[2]	CFG1[18:17]	Вход/Выход	Значение	Функция
0	xx	PADDR[2]	PADR[2]	Вывод общего назначения
1	0x	Выход	U1_TXD	Выход передатчика UART1
1	10	Выход	1	Строб чтения NAND Flash
1	11	Выход	NF_RE	Строб чтения NAND Flash

Из таблицы 6 следует, что для корректного подключения нужной функции необходимо определить значение разрядов NAND\_ALT и только затем включать альтернативную функцию.

### 3.4 PA3

Вывод PA[3] имеет следующие альтернативные функции:

- вход приемника UART1;
- строб записи внешней NAND Flash-памяти.

Таблица 7

PAALT[3]	CFG1[18:17]	Вход/Выход	Значение	Функция
0	0x	PADDR[3]	PADR[3]	Вывод общего назначения
0	1x	PADDR[3]==0	PADR[3]	Вход общего назначения
0	10	PADDR[3]==1	1	Строб записи NAND Flash
0	11	PADDR[3]==1	NF_WE	Строб записи NAND Flash
1	0x	Вход	U1_RXD	Вход приемника UART1
1	10	Выход	1	Строб записи NAND Flash
1	11	Выход	NF_WE	Строб записи NAND Flash

Из таблицы 7 следует, что для работы данного вывода в режиме порта общего назначения, нужно гарантировать, что бит CFG1[18] равен нулю. В данном случае мы имеем ситуацию, когда бит CFG1[18] имеет более высокий приоритет, чем бит альтернативной функции для ситуации, когда вывод настраивается как выход. Данную особенность настроек можно считать ошибкой, хотя она и не критична.

### 3.5 PA4

Вывод PA[4] имеет следующие альтернативные функции:

- выход синхросигнала SPI0;
- строб адреса внешней NAND Flash-памяти.

Таблица 8

PAALT[4]	CFG1[18:17]	Вход/Выход	Значение	Функция
0	xx	PADDR[4]	PADR[4]	Вывод общего назначения
1	0x10	SPI0_EN[0]	SPI0_D[0]	Синхросигнал SPI0_CLK
1	11	Выход	NF_ALE	Строб адреса NAND Flash

В данном случае интерес представляет ситуация, когда подключен контроллер NAND Flash, но биты CFG1[18:17]==10. Это позволяет организовать работу интерфейса SPI в то время, когда контроллер NAND Flash не активен.

### 3.6 PA5

Вывод PA[5] имеет следующие альтернативные функции:

- выход данных SPI0;
- бит 0 шины данных NAND Flash-памяти.

Таблица 9

PAALT[5]	CFG1[18:17]	Вход/Выход	Значение	Функция
0	xx	PADDR[5]	PADR[5]	Вывод общего назначения
1	0x 10	SPI0_EN[3]	SPI0_D[3]	Выход данных SPI0_DO
1	11	NF_DEN	NF_D[0]	Шина данных NAND Flash

При использовании альтернативной функции устройство, контролирующее внешний вывод, при необходимости, самостоятельно определяет направление работы вывода. В данном случае сигнал NF\_DE, внутреннего контроллера NAND Flash, задает направление передачи данных. Аналогично и для интерфейса SPI0, выход данных может быть входом, если интерфейс работает в режиме подчиненного устройства и выходом, если работает как ведущее устройство.

### 3.7 PA6

Вывод PA[6] имеет следующие альтернативные функции:

- вход данных SPI0;
- бит 1 шины данных NAND Flash-памяти.

Таблица 10

PAALT[6]	CFG1[18:17]	Вход/Выход	Значение	Функция
0	xx	PADDR[6]	PADR[6]	Вывод общего назначения
1	0x 10	SPI0_EN[2]	SPI0_D[2]	Вход данных SPI0_DI
1	11	NF_DEN	NF_D[1]	Шина данных NAND Flash

Для интерфейса SPI0 вход данных может быть выходом, если интерфейс работает в режиме подчиненного устройства, и входом, если работает как ведущее устройство.

### 3.8 PA7

Вывод PA[7] имеет одну альтернативную функцию: выход выбора внешнего устройства для SPI0.

Таблица 11

PAALT[7]	CFG1[18:17]	Вход/Выход	Значение	Функция
0	xx	PADDR[7]	PADR[7]	Вывод общего назначения
1	0x 10	SPI0_EN[1]	SPI0_CS[0]	Выход выбора устройства SPI0_CS[0]
1	11	PADDR[7]	PADR[7]	Вывод общего назначения

Интерфейс SPI0 использует общие выводы вместе с контроллером NAND Flash. В некоторый момент времени допустима работа только одного из двух контроллеров. Контроллер NAND имеет приоритет над SPI0. Если контроллер NAND включен в активный режим ( $CFG1[18:17]=11$ ), то выход выборки SPI0\_CS[0] переводится под управление соответствующих разрядов порта PA. В этом случае, рекомендуется иметь в настройках порта выдачу неактивного уровня на выводе PA[7].

### 3.9 PA8

Вывод PA[8] имеет следующие альтернативные функции:

- выход выбора внешнего устройства для SPI0;
- выход выбора модуля внешней NAND Flash-памяти.

Таблица 12

PAALT[8]	CFG1[18:17]	Вход/Выход	Значение	Функция
0	xx	PADDR[8]	PADR[8]	Вывод общего назначения
1	0x	SPI0_EN[1]	SPI0_CS[1]	Выход выбора устройства SPI0
1	10	Выход	1	Выбор модуля NAND Flash
1	11	Выход	NF_CS[1]	Выбор модуля NAND Flash

Видим, что как только работа контроллера NAND приостанавливается, сигнал выборки сразу переводится в неактивное состояние.

### 3.10 PA12\_9

Выводы PA[12:9] имеют следующие альтернативные функции:

- выходы выборки внешних устройств для SPI0;
- разряды [5:2] шины данных NAND Flash-памяти.

В таблице 13 индекс  $k$  принимает значение от 9 до 12.

Таблица 13

PAALT[k]	CFG1[18:17]	Вход/Выход	Значение	Функция
0	xx	PADDR[k]	PADR[k]	Вывод общего назначения
1	0x	SPI0_EN[1]	SPI0_CS[k-7]	Выход выбора устройства SPI0
1	10			
1	11	NF_DEN	NF_D[k-7]	Шина данных NAND Flash

Для интерфейса SPI0 сигнал разрешения выдачи SPI0\_EN[1] всегда активен при работе в режиме «мастер». Только один из шести сигналов выборки SPI0\_CS может быть активен. Если работа SPI0 совмещается во времени с работой NAND контроллера, то сигналы выборки SPI0\_CS[5:1] не должны использоваться.

**Внимание!** Во время приостановки работы контроллера NAND ( $CFG1[18:17]=10$ ) разряды шины данных NAND переводятся под управление SPI0. Это ведет к тому, что выводы PA[12:9] становятся активными выходами с неопределенным значением (скорее всего это значение 1111). Это не вызывает проблем, т.к. сигналы чтения и записи NAND Flash не активны.

### 3.11 PA13

Выход PA[13] имеет следующие альтернативные функции:

- выход синхросигнала интерфейса SSI0;
- выход синхросигнала интерфейса AC97\_0;
- выход синхросигнала интерфейса SPI1;
- выход строга команды внешней NAND Flash-памяти.

Таблица 14

PAALT[13]	CFG1[18,17,14]	Вход/Выход	Значение	Функция
0	xxx	PADDR[13]	PADR[13]	Вывод общего назначения
1	11x	Выход	NF_CLE	Строб команды NAND Flash
1	0x1 101	SPI1_EN[0]	SPI1_D[0]	Выход синхронизации SPI1_CLK
1	0x0 100	AC_EN[2]	AC_D[2]	Выход синхронизации AC_CLK аудио интерфейса

Выход синхронизации AC\_CLK аудио интерфейса зависит от режима работы. Это может быть режим работы AC97 или режим SSI. Выбор режима задается в регистре управления SICR0 контроллера. При работе в режиме AC97 направление выдачи (AC\_EN) определяется битом AC\_EN=BCKD. Если выбран режим SSI, то направление вывода определяется дополнительно выбором режима мастера (AC\_EN[2]=1) или подчиненного (AC\_EN[2]=0).

### 3.12 PA14

Выход PA[14] имеет следующие альтернативные функции:

- начало кадра (правый-левый) интерфейса SSI0;
- сброс AC97\_0\_RST интерфейса AC97\_0;
- выход данных интерфейса SPI1;
- бит 6 шины данных внешней NAND Flash-памяти.

Таблица 15

PAALT[14]	CFG1[18,17,14]	Вход/Выход	Значение	Функция
0	xxx	PADDR[14]	PADR[14]	Вывод общего назначения
1	11x	NF_DEN	NF_D[6]	Шина данных NAND Flash
1	0x1 101	SPI1_EN[3]	SPI1_D[3]	Выход данных SPI1_DO
1	0x0 100	AC_EN[1]	AC_D[1]	AC97_0_RST или SSI0_TFS

### 3.13 PA15

Выход PA[15] имеет следующие альтернативные функции:

- данные для передачи интерфейса SSI0;
- данные для передачи интерфейса AC97\_0;

- вход данных интерфейса SPI1;
- бит 7 шины данных внешней NAND Flash-памяти.

Таблица 16

PAALT[15]	CFG1[18,17,14]	Вход/Выход	Значение	Функция
0	xxx	PADDR[15]	PADR[15]	Вывод общего назначения
1	11x	NF_DEN	NF_D[7]	Шина данных NAND Flash
1	0x1 101	SPI1_EN[2]	SPI1_D[2]	Вход данных SPI1_DI
1	0x0 100	AC_EN[0]	AC_D[0]	AC97_0_SDO или SSI0_TXD

### 3.14 PA16

Вывод PA[16] имеет следующие альтернативные функции:

- выход синхросигнала приемника интерфейса SSI0;
- данные для приема интерфейса AC97\_0;
- выход выбора устройства для интерфейса SPI1.

Таблица 17

PAALT[16]	CFG1[18,17,14]	Вход/Выход	Значение	Функция
0	xxx	PADDR[16]	PADR[16]	Вывод общего назначения
1	11x	PADDR[16]	PADR[16]	Вывод общего назначения
1	0x1 101	SPI1_EN[1]	SPI1_CS	Выход выбора устройства SPI1_CS
1	0x0 100	AC_EN[4]	AC_D[4]	AC97_0_SDI2 или SSI0_RCLK

### 3.15 PA17

Вывод PA[17] имеет следующие альтернативные функции:

- выход RFS интерфейса SSI0;
- выход SYNC интерфейса AC97\_0;
- выход выбора микросхемы внешней NAND Flash-памяти.

Таблица 18

PAALT[17]	CFG1[18,17]	Вход/Выход	Значение	Функция
0	xx	PADDR[17]	PADR[17]	Вывод общего назначения
1	11	Выход	NF_CS[0]	Выход выбора микросхемы внешней NAND Flash-памяти
1	10	Выход	1	Выход выбора микросхемы внешней NAND Flash-памяти
1	0x	AC_EN[3]	AC_D[3]	AC97_0_SYNC или SSI0_RFS

### 3.16 PA18

Вывод PA[18] имеет следующие альтернативные функции входных сигналов:

- вход данных интерфейса SSI0;
- вход данных интерфейса AC97\_0;
- вход готовности внешней микросхемы NAND Flash-памяти.

Таблица 19

PAALT[18]	AC97	Вход/Выход	Значение	Функция
0	x	PADDR[18]	PADR[18]	Вывод общего назначения
1	0	Вход	SSI0_RXD	Данные приемника SSI0
1	1	Вход	AC97_0_SDI	Данные приемника AC97_0
1	x	Вход	NF_RDY	Вход готовности NAND

Обращаем внимание, что функция входа включена всегда и она будет корректно выполняться даже при PAALT[18] = 0. В этом случае главное, чтобы вывод общего назначения был сконфигурирован как вход. Если мы включаем альтернативную функцию PAALT[18] = 1, то это автоматически переводит вывод PA[18] в состояние входа.

### 3.17 PA19

Вывод PA[19] имеет следующие альтернативные функции:

- выход синхросигнала передатчика интерфейса SSI1;
- выход синхросигнала интерфейса AC97\_1;
- вход синхросигнала для интерфейсов RGMII и RMII.

Таблица 20

PAALT[19]	AC97	Вход/Выход	Значение	Функция
0	x	PADDR[19]	PADR[19]	Вывод общего назначения
1	0	AC_EN[2]	AC_D[2]	SSI1_TCLK
1	1	AC_EN[2]	AC_D[2]	AC97_1_CLK

Обращаем внимание, что функция синхросигнала RGMII/RMII выполняется всегда. При этом, если необходимо подать синхросигнал снаружи микросхемы, то необходимо перевести вывод в отключенное состояние (Вход). В данном случае проще всего настроить вывод общего назначения как Вход (состояние после сброса).

### 3.18 PA20

Вывод PA[20] имеет следующие альтернативные функции:

- выход начала кадра передатчика интерфейса SSI1;
- выход сброса интерфейса AC97\_1;
- вход RXCTL для интерфейсов RGMII и RMII.

Таблица 21

PAALT[20]	AC97	Вход/Выход	Значение	Функция
0	x	PADDR[20]	PADR[20]	Вывод общего назначения
1	0	AC_EN[1]	AC_D[1]	SSI1_TFS
1	1	AC_EN[1]	AC_D[1]	AC97_1_RST

Обращаем внимание, что функция RXCTL входа RGMII/RMII выполняется всегда. При этом, если необходимо подать сигнал снаружи микросхемы, то необходимо перевести вывод в отключенное состояние (Вход). В данном случае проще всего настроить вывод общего назначения как Вход (состояние после сброса).

### 3.19 PA21

Вывод PA[21] имеет следующие альтернативные функции:

- выход данных передатчика интерфейса SSI1;
- выход данных интерфейса AC97\_1;
- вход данных RX[0] для интерфейсов RGMII и RMII.

Таблица 22

PAALT[21]	AC97	Вход/Выход	Значение	Функция
0	x	PADDR[21]	PADR[21]	Вывод общего назначения
1	0	AC_EN[0]	AC_D[0]	SSI1_TXD
1	1	AC_EN[0]	AC_D[0]	AC97_1_SDO

Обращаем внимание, что функция входа RX[0] шины данных приемника RGMII/RMII выполняется всегда. При этом, если необходимо подать данные снаружи микросхемы, то необходимо перевести вывод в отключенное состояние (Вход). В данном случае проще всего настроить вывод общего назначения как Вход (состояние после сброса).

### 3.20 PA22

Вывод PA[22] имеет следующие альтернативные функции:

- выход синхросигнала приемника интерфейса SSI1,
- вход данных интерфейса AC97\_1,
- выход ШИМ(+) таймера GTMR0,
- вход данных RX[1] для интерфейсов RGMII и RMII.

Таблица 23

PAALT[22]	CFG1[19]	AC97	Вход/Выход	Значение	Функция
0	x	x	PADDR[22]	PADR[22]	Вывод общего назначения
1	1	x	GT0_EN[0]	GTMR0_CH0o	Выход ШИМ(+) таймера GTMR0
1	0	0	AC_EN[0]	AC_D[0]	SSI1_RCLK
1	0	1	Вход	-	Вход данных AC97_1_SDI

Обращаем внимание, что функция входа RX[1] шины данных приемника RGMII/RMII выполняется всегда. При этом, если необходимо подать данные снаружи микросхемы, то необходимо перевести вывод в отключенное состояние (Вход). В данном случае проще всего настроить вывод общего назначения как Вход (состояние после сброса).

### 3.21 PA23

Вывод PA[23] имеет следующие альтернативные функции:

- выход начала кадра приемника интерфейса SSI1;
- выход синхроимпульса SYNC интерфейса AC97\_1;
- выход ШИМ(-) таймера GTMR0;
- вход данных RX[2] для интерфейсов RGMII;
- ошибка приема RX\_ER для интерфейса RMII.

Таблица 24

PAALT[23]	CFG1[19]	AC97	Вход/Выход	Значение	Функция
0	x	x	PADDR[23]	PADR[23]	Вывод общего назначения
1	1	x	GT0_EN[1]	GTMR0_nCH0o	Выход ШИМ(-) GTMR0
1	0	0	AC_EN[0]	AC_D[0]	SSI1_RFS
1	0	1	Выход	AC_D[0]	AC97_1_SYNC

Функция входа RX[2] шины данных приемника RGMII или ошибка приема RX\_ER для интерфейса RMII выполняется всегда. При этом, если необходимо подать данные снаружи микросхемы, то необходимо перевести вывод в отключенное состояние (Вход). В данном случае проще всего настроить вывод общего назначения как Вход (состояние после сброса).

### 3.22 PA24

Вывод PA[24] имеет следующие альтернативные функции:

- вход данных приемника интерфейса SSI1;
- вход данных интерфейса AC97\_1;
- выход ШИМ(+) таймера GTMR0;
- вход данных RX[3] для интерфейсов RGMII;
- вход служебной информации CRS\_DV для интерфейса RMII.

Таблица 25

PAALT[24]	CFG1[19]	AC97	Вход/Выход	Значение	Функция
0	x	x	PADDR[24]	PADR[24]	Вывод общего назначения
1	1	x	GT0_EN[2]	GTMR0_CH1o	Выход ШИМ(+) GTMR0
1	0	0	Вход	-	SSI1_RXD
1	0	1	Вход	-	AC97_1_SDI

Функция входа RX[3] шины данных приемника RGMII или вход служебной информации CRS\_DV для интерфейса RMII выполняется всегда. При этом, если

необходимо подать данные снаружи микросхемы, то необходимо перевести вывод в отключенное состояние (Вход). В данном случае проще всего настроить вывод общего назначения как Вход (состояние после сброса).

### 3.23 PA25

Вывод PA[25] имеет следующие альтернативные функции:

- вход синхросигнала VC\_CLK интерфейса видеокамеры;
- выход ШИМ(-) таймера GTMR0;
- выход синхросигнала для интерфейса RGMII.

Таблица 26

PAALT[25]	CFG1[21,19]	Вход/Выход	Значение	Функция
0	xx	PADDR[25]	PADR[25]	Вывод общего назначения
1	1x	Выход	TXC	Выход синхросигнала интерфейса RGMII
1	01	GT0_EN[3]	GTMR0_nCH1o	Выход ШИМ(-) GTMR0
1	00	PADDR[25]	PADR[25]	Вывод общего назначения

Функция входа VC\_CLK интерфейса видеокамеры выполняется всегда. При этом, если необходимо подать сигнал снаружи микросхемы, то необходимо перевести вывод в отключенное состояние (Вход). В данном случае проще всего настроить вывод общего назначения как Вход (состояние после сброса).

### 3.24 PA26

Вывод PA[26] имеет следующие альтернативные функции:

- вход вертикальной развертки VC\_VSYNC интерфейса видеокамеры;
- выход основного канала (прямой) интерфейса МКПДО;
- выход ШИМ(+) таймера GTMR0;
- выход служебных данных TXCTL интерфейса RGMII.

Таблица 27

PAALT[26]	CFG1[21,19,8]	Вход/Выход	Значение	Функция
0	xxx	PADDR[26]	PADR[26]	Вывод общего назначения
1	1xx	Выход	TXCTL	Выход служебных данных интерфейса RGMII
1	01x	GT0_EN[4]	GTMR0_CH2o	Выход ШИМ(+) GTMR0
1	000	Выход	MIL0_OU1P	Выход основного канала (прямой) интерфейса МКПДО
1	001	Вход	-	Вход общего назначения или VC_VSYNC

Функция входа VC\_VSYNC интерфейса видеокамеры выполняется всегда. При этом, если необходимо подать сигнал снаружи микросхемы, то необходимо перевести вывод в отключенное состояние (Вход). В данном случае проще всего настроить вывод общего назначения как Вход (состояние после сброса).

**3.25 PA27**

Вывод PA[27] имеет следующие альтернативные функции:

- вход горизонтальной развертки VC\_HSYNC интерфейса видеокамеры;
- выход основного канала (инверсный) интерфейса МКПДО;
- выход ШИМ(-) таймера GTMR0;
- выход данных TX[0] интерфейсов RGMII и RMII.

Таблица 28

PAALT[27]	CFG1[21,19,8]	Вход/Выход	Значение	Функция
0	xxx	PADDR[27]	PADR[27]	Вывод общего назначения
1	1xx	Выход	TX[0]	Выход данных интерфейса RGMII и RMII
1	01x	GT0_EN[5]	GTMR0_nCH2o	Выход ШИМ(-) GTMR0
1	000	Выход	MIL0_OU1N	Выход основного канала (инверсный) интерфейса МКПДО
1	001	Вход	-	Вход общего назначения или VC_HSYNC

Функция входа VC\_HSYNC интерфейса видеокамеры выполняется всегда. При этом, если необходимо подать сигнал снаружи микросхемы, то необходимо перевести вывод в отключенное состояние (Вход). В данном случае проще всего настроить вывод общего назначения как Вход (состояние после сброса).

**3.26 PA28**

Вывод PA[28] имеет следующие альтернативные функции:

- вход данных VC\_DATA[0] интерфейса видеокамеры;
- разрешение передачи основного канала интерфейса МКПДО;
- выход ШИМ(+) таймера GTMR0;
- выход данных TX[1] интерфейсов RGMII и RMII.

Таблица 29

PAALT[28]	CFG1[21,19,8]	Вход/Выход	Значение	Функция
0	xxx	PADDR[28]	PADR[28]	Вывод общего назначения
1	1xx	Выход	TX[1]	Выход данных интерфейса RGMII и RMII
1	01x	GT0_EN[6]	GTMR0_CH3o	Выход ШИМ(+) GTMR0
1	000	Выход	MIL0_OU1X	Разрешение передачи основного канала интерфейса МКПДО
1	001	Вход	-	Вход общего назначения или VC_DATA[0]

Функция входа VC\_DATA[0] интерфейса видеокамеры выполняется всегда. При этом, если необходимо подать сигнал снаружи микросхемы, то необходимо перевести вывод в отключенное состояние (Вход). В данном случае проще всего настроить вывод общего назначения как Вход (состояние после сброса).

### 3.27 PA29

Вывод PA[29] имеет следующие альтернативные функции:

- вход данных VC\_DATA[1] интерфейса видеокамеры;
- выход основного канала (инверсный) интерфейса МКПДО;
- выход ШИМ(-) таймера GTMR0;
- выход данных TX[2] интерфейса RGMII;
- разрешение передачи TX\_EN интерфейса RMII.

Таблица 30

PAALT[29]	CFG1[21,19,8]	Вход/Выход	Значение	Функция
0	xxx	PADDR[29]	PADR[29]	Вывод общего назначения
1	1xx	Выход	TX[2] TX_EN	Выход данных RGMII или разрешение передачи RMII
1	01x	GT0_EN[7]	GTMR0_nCH3o	Выход ШИМ(-) GTMR0
1	000	Выход	MIL0_OU2P	Выход резервного канала (прямой) интерфейса МКПДО
1	001	Вход	-	Вход общего назначения или VC_DATA[1]

Функция входа VC\_DATA[1] интерфейса видеокамеры выполняется всегда. При этом, если необходимо подать сигнал снаружи микросхемы, то необходимо перевести вывод в отключенное состояние (Вход). В данном случае проще всего настроить вывод общего назначения как Вход (состояние после сброса).

### 3.28 PA30

Вывод PA[30] имеет следующие альтернативные функции:

- вход данных VC\_DATA[2] интерфейса видеокамеры;
- вход блокировки BRK таймера GTMR0;
- выход резервного канала (инверсный) интерфейса МКПДО;
- вход блокировки таймера GTMR0;
- выход данных TX[3] интерфейса RGMII.

Таблица 31

PAALT[30]	CFG1[21,8]	Вход/Выход	Значение	Функция
0	xx	PADDR[30]	PADR[30]	Вывод общего назначения
1	1x	Выход	TX[3]	Выход данных RGMII
1	00	Выход	MIL0_OU2N	Выход резервного канала (инверсный) интерфейса МКПДО
1	01	Вход	-	Вход общего назначения или VC_DATA[2], или GTMR0_BRK

Функции входа VC\_DATA[2] интерфейса видеокамеры или входа GTMR0\_BRK блокировки выходов таймера GTMR0 выполняются всегда. При этом, если необходимо подать сигнал снаружи микросхемы, то необходимо перевести вывод в отключенное состояние (Вход). В данном случае проще всего настроить вывод общего назначения как Вход (состояние после сброса).

### 3.29 PA31

Вывод PA[31] имеет следующие альтернативные функции:

- вход данных VC\_DATA[3] интерфейса видеокамеры;
- выход разрешения передачи резервного канала интерфейса МКПД0;
- вход ETR таймера GTMR0;
- выход импульса времени PPS интерфейса RGMII.

Таблица 32

PAALT[31]	CFG1[21,8]	Вход/Выход	Значение	Функция
0	xx	PADDR[31]	PADR[31]	Вывод общего назначения
1	1x	Выход	PPS	Выход PPS RGMII
1	00	Выход	MIL0_OU2X	Разрешение передачи резервного канала интерфейса МКПД0
1	01	Вход	-	Вход общего назначения или VC_DATA[3], или GTMR0_ETR

Функции входа VC\_DATA[3] интерфейса видеокамеры или входа GTMR0\_ETR таймера GTMR0 выполняются всегда. При этом, если необходимо подать сигнал снаружи микросхемы, то необходимо перевести вывод в отключенное состояние (Вход). В данном случае проще всего настроить вывод общего назначения как Вход (состояние после сброса).

## 4 Альтернативные функции выводов порта PB

### 4.1 PB0

Вывод PB[0] может выполнять следующие альтернативные функции:

- выход синхросигнала интерфейса SPI2;
- вход данных VC\_DATA[4] интерфейса видекамеры;
- вход MII0\_IN1P основного канала (прямой) интерфейса МКПД0;
- вход GTMR0\_CH0i захвата таймера 0.

Таблица 33

PBALT[0]	CFG1[15]	Вход/Выход	Значение	Функция
0	x	PBDDR[0]	PBDR[0]	Вывод общего назначения
1	1	SPI2_EN[0]	SPI2_D[0]	Выход SPI2_CLK
1	0	Вход	-	VC_DATA[4] или MII0_IN1P, или GTMR0_CH0i

Несколько альтернативных функций для входов предполагает, что в некоторый момент времени активна только одна функция из нескольких.

### 4.2 PB1

Вывод PB[1] может выполнять следующие альтернативные функции:

- выход данных интерфейса SPI2;
- вход данных VC\_DATA[5] интерфейса видекамеры;
- вход MII0\_IN1N основного канала (инверсный) интерфейса МКПД0;
- вход GTMR0\_CH1i захвата таймера 0.

Таблица 34

PBALT[1]	CFG1[15]	Вход/Выход	Значение	Функция
0	x	PBDDR[1]	PBDR[1]	Вывод общего назначения
1	1	SPI2_EN[3]	SPI2_D[3]	Выход SPI2_DO
1	0	Вход	-	VC_DATA[5] или MII0_IN1N, или GTMR0_CH1i

### 4.3 PB2

Вывод PB[2] может выполнять следующие альтернативные функции:

- вход данных интерфейса SPI2;
- вход данных VC\_DATA[6] интерфейса видекамеры;
- вход MII0\_IN2P резервного канала (прямой) интерфейса МКПД0;
- вход GTMR0\_CH2i захвата таймера 0.

Таблица 35

PBALT[2]	CFG1[15]	Вход/Выход	Значение	Функция
0	x	PBDDR[2]	PBDR[2]	Выход общего назначения
1	1	SPI2_EN[2]	SPI2_D[2]	Вход SPI2_DI
1	0	Вход	-	VC_DATA[6] или MIO_IN2P, или GTMR0_CH2i

#### 4.4 PB3

Выход PB[3] может выполнять следующие альтернативные функции:

- выход выбора устройства интерфейса SPI2;
- вход данных VC\_DATA[7] интерфейса видеокамеры;
- вход MIO\_IN2N резервного канала (инверсный) интерфейса МКПД0;
- вход GTMR0\_CH3i захвата таймера 0.

Таблица 36

PBALT[3]	CFG1[15]	Вход/Выход	Значение	Функция
0	x	PBDDR[3]	PBDR[3]	Выход общего назначения
1	1	SPI2_EN[1]	SPI2_CS	Выход выбора внешнего устройства для SPI2
1	0	Вход	-	VC_DATA[7] или MIO_IN2N, или GTMR0_CH3i

#### 4.5 PB4

Выход PB[4] может выполнять следующие альтернативные функции:

- выход данных LC\_V[0] интерфейса ЖКИ;
- вход AR\_IN1P канала (прямой) интерфейса ARINC;
- вход запроса прямого доступа nDMAR[0] канала 0 КПДП.

Таблица 37

PBALT[4]	PBDDR[4]	Вход/Выход	Значение	Функция
0	1	Выход	PBDR[4]	Выход общего назначения
1	x	Выход	LC_V[0]	Выход данных LC_V[0] интерфейса ЖКИ
0	0	Вход	-	Вход общего назначения или AR_IN1P, или nDMAR[0]

Обратите внимание, что альтернативная функция входа в данном случае программируется как вход общего назначения.

#### 4.6 PB5

Выход PB[5] может выполнять следующие альтернативные функции:

- выход данных LC\_V[1] интерфейса ЖКИ;
- вход AR\_IN1N канала (инверсный) интерфейса ARINC;
- вход запроса прямого доступа nDMAR[1] канала 1 КПДП.

Таблица 38

PBALT[5]	PBDDR[5]	Вход/Выход	Значение	Функция
0	1	Выход	PBDR[5]	Выход общего назначения
1	x	Выход	LC_V[1]	Выход данных LC_V[1] интерфейса ЖКИ
0	0	Вход	-	Вход общего назначения или AR_IN1N, или nDMAR[1]

Обратите внимание, что альтернативная функция входа в данном случае программируется как вход общего назначения.

#### 4.7 PB6

Выход PB[6] может выполнять следующие альтернативные функции:

- выход данных LC\_V[2] интерфейса ЖКИ;
- вход AR\_IN2P канала (прямой) интерфейса ARINC;
- вход запроса прямого доступа nDMAR[2] канала 2 КППД.

Таблица 39

PBALT[6]	PBDDR[6]	Вход/Выход	Значение	Функция
0	1	Выход	PBDR[6]	Выход общего назначения
1	x	Выход	LC_V[2]	Выход данных LC_V[2] интерфейса ЖКИ
0	0	Вход	-	Вход общего назначения или AR_IN2P, или nDMAR[2]

Обратите внимание, что альтернативная функция входа в данном случае программируется как вход общего назначения.

#### 4.8 PB7

Выход PB[7] может выполнять следующие альтернативные функции:

- выход данных LC\_V[3] интерфейса ЖКИ;
- вход AR\_IN2N канала (инверсный) интерфейса ARINC;
- вход запроса прямого доступа nDMAR[3] канала 3 КППД.

Таблица 40

PBALT[7]	PBDDR[7]	Вход/Выход	Значение	Функция
0	1	Выход	PBDR[7]	Выход общего назначения
1	x	Выход	LC_V[3]	Выход данных LC_V[3] интерфейса ЖКИ
0	0	Вход	-	Вход общего назначения или AR_IN2N, или nDMAR[3]

Обратите внимание, что альтернативная функция входа в данном случае программируется как вход общего назначения.

#### 4.9 PB8

Выход PB[8] может выполнять следующие альтернативные функции:

- выход данных LC\_V[4] интерфейса ЖКИ;
- вход AR\_IN3P канала (прямой) интерфейса ARINC;
- выход ШИМ(+) таймера GTMR1.

Таблица 41

PBALT[8]	CFG1[20]	Вход/Выход	Значение	Функция
0	x	PBDDR[8]	PBDR[8]	Выход общего назначения
1	0	Выход	LC_V[4]	Выход данных LC_V[4] интерфейса ЖКИ
1	1	GT1_EN[0]	GTMR1_CH0o	Выход ШИМ(+) GTMR1
0	x	Вход	-	Вход общего назначения или AR_IN3P

#### 4.10 PB9

Выход PB[9] может выполнять следующие альтернативные функции:

- выход данных LC\_V[5] интерфейса ЖКИ;
- вход AR\_IN3N канала (инверсный) интерфейса ARINC;
- выход ШИМ(-) таймера GTMR1.

Таблица 42

PBALT[9]	CFG1[20]	Вход/Выход	Значение	Функция
0	x	PBDDR[9]	PBDR[9]	Выход общего назначения
1	0	Выход	LC_V[5]	Выход данных LC_V[5] интерфейса ЖКИ
1	1	GT1_EN[1]	GTMR1_nCH0o	Выход ШИМ(-) GTMR1
0	x	Вход	-	Вход общего назначения или AR_IN3N

#### 4.11 PB10

Выход PB[10] может выполнять следующие альтернативные функции:

- выход данных LC\_G[0] интерфейса ЖКИ;
- вход AR\_IN4P канала (прямой) интерфейса ARINC;
- выход ШИМ(+) таймера GTMR1;
- вход синхросигнала интерфейса USB.

Таблица 43

PBALT[10]	CFG1[20]	Вход/Выход	Значение	Функция
0	x	PBDDR[10]	PBDR[10]	Вывод общего назначения
1	0	Выход	LC_G[0]	Выход данных LC_G[0] интерфейса ЖКИ
1	1	GT1_EN[2]	GTMR1_CH1o	Выход ШИМ(+) GTMR1
0	x	Вход	-	Вход общего назначения или AR_IN4P, или USB_CLK

#### 4.12 PB11

Вывод PB[11] может выполнять следующие альтернативные функции:

- выход данных LC\_G[1] интерфейса ЖКИ;
- вход AR\_IN4N канала (инверсный) интерфейса ARINC;
- выход ШИМ(-) таймера GTMR1;
- вход направления передачи интерфейса USB.

Таблица 44

PBALT[11]	CFG1[20]	Вход/Выход	Значение	Функция
0	x	PBDDR[11]	PBDR[11]	Вывод общего назначения
1	0	Выход	LC_G[1]	Выход данных LC_G[1] интерфейса ЖКИ
1	1	GT1_EN[3]	GTMR1_nCH1o	Выход ШИМ(-) GTMR1
0	x	Вход	-	Вход общего назначения или AR_IN4N, или USB_DIR

#### 4.13 PB12

Вывод PB[12] может выполнять следующие альтернативные функции:

- выход данных LC\_G[2] интерфейса ЖКИ;
- вход AR\_IN5P канала (прямой) интерфейса ARINC;
- выход ШИМ(+) таймера GTMR1;
- вход готовности приема интерфейса USB.

Таблица 45

PBALT[12]	CFG1[20]	Вход/Выход	Значение	Функция
0	x	PBDDR[12]	PBDR[12]	Вывод общего назначения
1	0	Выход	LC_G[2]	Выход данных LC_G[2] интерфейса ЖКИ
1	1	GT1_EN[4]	GTMR1_CH2o	Выход ШИМ(+) GTMR1
0	x	Вход	-	Вход общего назначения или AR_IN5P, или USB_NXT

#### 4.14 PB13

Вывод PB[13] может выполнять следующие альтернативные функции:

- выход данных LC\_G[3] интерфейса ЖКИ;
- вход AR\_IN5N канала (инверсный) интерфейса ARINC;
- выход ШИМ(-) таймера GTMR1;
- выход остановки передачи интерфейса USB.

Таблица 46

PBALT[13]	CFG1[22,20]	Вход/Выход	Значение	Функция
0	xx	PBDDR[13]	PBDR[13]	Вывод общего назначения
1	1x	Выход	USB_STP	Выход остановки передачи интерфейса USB
1	00	Выход	LC_G[3]	Выход данных LC_G[3] интерфейса ЖКИ
1	01	GT1_EN[5]	GTMR1_nCH2o	Выход ШИМ(-) GTMR1
0	xx	Вход	-	Вход общего назначения или AR_IN5N

#### 4.15 PB14

Вывод PB[14] может выполнять следующие альтернативные функции:

- выход данных LC\_G[4] интерфейса ЖКИ;
- вход AR\_IN6P канала (прямой) интерфейса ARINC;
- выход ШИМ(+) таймера GTMR1;
- выход разряда 0 шины данных передатчика интерфейса USB.

Таблица 47

PBALT[14]	CFG1[22,20]	Вход/Выход	Значение	Функция
0	xx	PBDDR[14]	PBDR[14]	Вывод общего назначения
1	1x	USB_DEN	USB_DO[0]	Выход данных передатчика интерфейса USB
1	00	Выход	LC_G[4]	Выход данных LC_G[4] интерфейса ЖКИ
1	01	GT1_EN[6]	GTMR1_CH3o	Выход ШИМ(+) GTMR1
0	xx	Вход	-	Вход общего назначения или AR_IN6P

#### 4.16 PB15

Вывод PB[15] может выполнять следующие альтернативные функции:

- выход данных LC\_G[5] интерфейса ЖКИ;
- вход AR\_IN6N канала (инверсный) интерфейса ARINC;
- выход ШИМ(-) таймера GTMR1;
- выход разряда 1 шины данных передатчика интерфейса USB.

Таблица 48

PVALT[15]	CFG1[22,20]	Вход/Выход	Значение	Функция
0	xx	PBDDR[15]	PBDR[15]	Вывод общего назначения
1	1x	USB_DEN	USB_DO[1]	Выход данных передатчика интерфейса USB
1	00	Выход	LC_G[5]	Выход данных LC_G[5] интерфейса ЖКИ
1	01	GT1_EN[7]	GTMR1_nCH3o	Выход ШИМ(-) GTMR1
0	xx	Вход	-	Вход общего назначения или AR_IN6N

#### 4.17 PB16

Вывод PB[16] может выполнять следующие альтернативные функции:

- выход данных LC\_R[0] интерфейса ЖКИ;
- вход AR\_IN7P канала (прямой) интерфейса ARINC;
- выход разряда 2 шины данных передатчика интерфейса USB;
- вход запроса прямого доступа канала 1 КППД;
- вход блокировки выходов таймера GTMR1.

Таблица 49

PVALT[16]	CFG1[22]	Вход/Выход	Значение	Функция
0	x	PBDDR[16]	PBDR[16]	Вывод общего назначения
1	1	USB_DEN	USB_DO[2]	Выход данных передатчика интерфейса USB
1	0	Выход	LC_R[0]	Выход данных LC_R[0] интерфейса ЖКИ
0	x	Вход	-	Вход общего назначения или AR_IN7P, или GTMR1_BRK, или nDMAR[1]

Обращаем внимание на то, что входы nDMAR[3:1] уже встречались в описании контакта PB[7:5]. Суть в том, что в связи с загруженностью входов многими альтернативными функциями, пользователь самостоятельно может выбрать (в настройках КППД), какой из двух возможных входов будет выполнять требуемую функцию.

#### 4.18 PB17

Вывод PB[17] может выполнять следующие альтернативные функции:

- выход данных LC\_R[1] интерфейса ЖКИ;
- вход AR\_IN7N канала (инверсный) интерфейса ARINC;
- выход разряда 3 шины данных передатчика интерфейса USB;
- вход регистратора событий таймера GTMR1.

Таблица 50

PBALT[17]	CFG1[22]	Вход/Выход	Значение	Функция
0	x	PBDDR[17]	PBDR[17]	Вывод общего назначения
1	1	USB_DEN	USB_DO[3]	Выход данных передатчика интерфейса USB
1	0	Выход	LC_R[1]	Выход данных LC_R[1] интерфейса ЖКИ
0	x	Вход	-	Вход общего назначения или AR_IN7N, или GTMR1_ETR

#### 4.19 PB18

Вывод PB[18] может выполнять следующие альтернативные функции:

- выход данных LC\_R[2] интерфейса ЖКИ;
- выход разряда 4 шины данных передатчика интерфейса USB;
- вход AR\_IN8P канала (прямой) интерфейса ARINC;
- вход захвата таймера GTMR1.

Таблица 51

PBALT[18]	CFG1[22]	Вход/Выход	Значение	Функция
0	x	PBDDR[18]	PBDR[18]	Вывод общего назначения
1	1	USB_DEN	USB_DO[4]	Выход данных передатчика интерфейса USB
1	0	Выход	LC_R[2]	Выход данных LC_R[2] интерфейса ЖКИ
0	x	Вход	-	Вход общего назначения или AR_IN8P, или GTMR1_CH0i

#### 4.20 PB19

Вывод PB[19] может выполнять следующие альтернативные функции:

- выход данных LC\_R[3] интерфейса ЖКИ;
- выход разряда 5 шины данных передатчика интерфейса USB;
- вход AR\_IN8N канала (инверсный) интерфейса ARINC;
- вход захвата таймера GTMR1.

Таблица 52

PBALT[19]	CFG1[22]	Вход/Выход	Значение	Функция
0	x	PBDDR[19]	PBDR[19]	Вывод общего назначения
1	1	USB_DEN	USB_DO[5]	Выход данных передатчика интерфейса USB
1	0	Выход	LC_R[3]	Выход данных LC_R[3] интерфейса ЖКИ
0	x	Вход	-	Вход общего назначения или AR_IN8N, или GTMR1_CH1i

#### 4.21 PB20

Выход PB[20] может выполнять следующие альтернативные функции:

- выход данных LC\_R[4] интерфейса ЖКИ;
- выход разряда 6 шины данных передатчика интерфейса USB;
- выход передатчика 1 (прямой) интерфейса ARINC;
- вход захвата таймера GTMR1.

Таблица 53

PBALT[20]	CFG1[22,4]	Вход/Выход	Значение	Функция
0	xx	PBDDR[20]	PBDR[20]	Выход общего назначения
1	1x	USB_DEN	USB_DO[6]	Выход данных передатчика интерфейса USB
1	00	Выход	LC_R[4]	Выход данных LC_R[4] интерфейса ЖКИ
1	01	Выход	AR_OU1P	Выход передатчика ARINC
0	xx	Вход	-	Вход общего назначения или GTMR1_CH2i

#### 4.22 PB21

Выход PB[21] может выполнять следующие альтернативные функции:

- выход данных LC\_R[5] интерфейса ЖКИ;
- выход разряда 7 шины данных передатчика интерфейса USB;
- выход передатчика 1 (инверсный) интерфейса ARINC;
- вход захвата таймера GTMR1.

Таблица 54

PBALT[21]	CFG1[22,4]	Вход/Выход	Значение	Функция
0	xx	PBDDR[21]	PBDR[21]	Выход общего назначения
1	1x	USB_DEN	USB_DO[7]	Выход данных передатчика интерфейса USB
1	00	Выход	LC_R[5]	Выход данных LC_R[5] интерфейса ЖКИ
1	01	Выход	AR_OU1N	Выход передатчика ARINC
0	xx	Вход	-	Вход общего назначения или GTMR1_CH3i

#### 4.23 PB22

Выход PB[22] может выполнять следующие альтернативные функции:

- дополнительный выход LC\_T[0] интерфейса ЖКИ;
- вход запроса прерывания;
- вход запроса канала 4 КППД.

Таблица 55

PBALT[22]	Вход/Выход	Значение	Функция
0	PBDDR[22]	PBDR[22]	Вывод общего назначения
1	Выход	LC_T[0]	Выход LC_T[0] интерфейса ЖКИ
0	Вход	-	Вход общего назначения или nIRQ[0], или nDMAR[4]

#### 4.24 PB23

Вывод PB[23] может выполнять следующие альтернативные функции:

- дополнительный выход LC\_T[1] интерфейса ЖКИ;
- вход запроса прерывания;
- вход запроса канала 5 КППД.

Таблица 56

PBALT[23]	Вход/Выход	Значение	Функция
0	PBDDR[23]	PBDR[23]	Вывод общего назначения
1	Выход	LC_T[1]	Выход LC_T[1] интерфейса ЖКИ
0	Вход	-	Вход общего назначения или nIRQ[1], или nDMAR[5]

#### 4.25 PB24

Вывод PB[24] может выполнять следующие альтернативные функции:

- дополнительный выход LC\_T[2] интерфейса ЖКИ;
- вход запроса прерывания;
- вход запроса канала 6 КППД.

Таблица 57

PBALT[24]	Вход/Выход	Значение	Функция
0	PBDDR[24]	PBDR[24]	Вывод общего назначения
1	Выход	LC_T[2]	Выход LC_T[2] интерфейса ЖКИ
0	Вход	-	Вход общего назначения или nIRQ[2], или nDMAR[6]

#### 4.26 PB25

Вывод PB[25] может выполнять следующие альтернативные функции:

- дополнительный выход LC\_T[3] интерфейса ЖКИ;
- вход запроса прерывания;
- вход запроса канала 7 КППД.

Таблица 58

PVALT[25]	Вход/Выход	Значение	Функция
0	PBDDR[25]	PBDR[25]	Вывод общего назначения
1	Выход	LC_T[3]	Выход LC_T[3] интерфейса ЖКИ
0	Вход	-	Вход общего назначения или nIRQ[3], или nDMAR[7]

#### 4.27 PB26

Вывод PB[26] может выполнять следующие альтернативные функции:

- выход ШИМ интерфейса ЖКИ;
- выход передатчика 2 (прямой) интерфейса ARINC;
- вход запроса канала 2 КПП.

Таблица 59

PVALT[26]	CFG1[5]	Вход/Выход	Значение	Функция
0	x	PBDDR[26]	PBDR[26]	Вывод общего назначения
1	0	Выход	LC_PWM	Выход LC_PWM интерфейса ЖКИ
1	1	Выход	AR_OU2P	Выход передатчика ARINC
0	x	Вход	-	Вход общего назначения или nDMAR[2]

#### 4.28 PB27

Вывод PB[27] может выполнять следующие альтернативные функции:

- выход сигнала готовности интерфейса ЖКИ;
- выход передатчика 2 (инверсный) интерфейса ARINC;
- вход запроса канала 8 КПП;
- выход передатчика UART2.

Таблица 60

PVALT[27]	CFG1[23,5]	Вход/Выход	Значение	Функция
0	xx	PBDDR[27]	PBDR[27]	Вывод общего назначения
1	00	Выход	LC_DRDY	Выход LC_DRDY интерфейса ЖКИ
1	01	Выход	AR_OU2N	Выход передатчика ARINC
1	1x	Выход	U2_TXD	Выход передатчика UART2
0	xx	Вход	-	Вход общего назначения или nDMAR[8]

#### 4.29 PB28

Вывод PB[28] может выполнять следующие альтернативные функции:

- выход сигнала вертикальной синхронизации интерфейса ЖКИ;
- выход передатчика 3 (прямой) интерфейса ARINC;
- вход запроса канала 9 КПП;
- вход приемника UART2.

Таблица 61

PBALT[28]	CFG1[23,6]	Вход/Выход	Значение	Функция
0	xx	PBDDR[28]	PBDR[28]	Вывод общего назначения
1	00	Выход	LC_VSYNC	Выход LC_VSYNC интерфейса ЖКИ
1	01	Выход	AR_OU3P	Выход передатчика ARINC
1	1x	Вход	-	Вход приемника UART2_RXD
0	xx	Вход	-	Вход общего назначения или nDMAR[9]

### 4.30 PB29

Вывод PB[29] может выполнять следующие альтернативные функции:

- выход сигнала горизонтальной синхронизации интерфейса ЖКИ;
- выход передатчика 3 (инверсный) интерфейса ARINC;
- вход запроса канала 10 КПДП;
- выход передатчика UART3.

Таблица 62

PBALT[29]	CFG1[24,6]	Вход/Выход	Значение	Функция
0	xx	PBDDR[29]	PBDR[29]	Вывод общего назначения
1	00	Выход	LC_HSYNC	Выход LC_HSYNC интерфейса ЖКИ
1	01	Выход	AR_OU3N	Выход передатчика ARINC
1	1x	Выход	U3_TXD	Выход передатчика UART3
0	xx	Вход	-	Вход общего назначения или nDMAR[10]

### 4.31 PB30

Вывод PB[30] может выполнять следующие альтернативные функции:

- выход синхросигнала интерфейса ЖКИ;
- выход передатчика 4 (прямой) интерфейса ARINC;
- вход запроса канала 11 КПДП;
- вход приемника UART3.

Таблица 63

PBALT[30]	CFG1[24,7]	Вход/Выход	Значение	Функция
0	xx	PBDDR[30]	PBDR[30]	Вывод общего назначения
1	00	Выход	LC_CLK	Выход LC_CLK интерфейса ЖКИ
1	01	Выход	AR_OU4P	Выход передатчика ARINC
1	1x	Вход	-	Вход приемника UART3_RXD
0	xx	Вход	-	Вход общего назначения или nDMAR[11]

**4.32 PB31**

Вывод PB[31] может выполнять следующие альтернативные функции:

- выход передатчика 4 (инверсный) интерфейса ARINC;
- вход запроса канала 3 КПП.

Таблица 64

PBALT[31]	CFG1[7]	Вход/Выход	Значение	Функция
0	x	PBDDR[31]	PBDR[31]	Вывод общего назначения
1	1	Выход	AR_OU4N	Выход передатчика ARINC
1	0	Выход	PBDR[31]	Выход общего назначения
0	x	Вход	-	Вход общего назначения или nDMAR[3]

## 5 Альтернативные функции выводов порта PC

### 5.1 PC0

Вывод PC[0] может выполнять следующие альтернативные функции:

- флаг FLAG[0] процессорного ядра;
- выход данных передатчика интерфейса CAN0.

Таблица 65

PCALT[0]	CFG1[25]	FLCTL[0]	Вход/Выход	Значение	Функция
0	x	x	PCDDR[0]	PCDR[0]	Вывод общего назначения
1	1	x	Выход	CAN0_TX	Выход передатчика CAN0
1	0	1	Выход	FLCTL[4]	Выход флага FLAG[0] процессорного ядра
1	0	0	Вход	-	Вход общего назначения или FLAG_IN[0]

### 5.2 PC1

Вывод PC[1] может выполнять следующие альтернативные функции:

- флаг FLAG[1] процессорного ядра;
- вход данных приемника интерфейса CAN0.

Таблица 66

PCALT[1]	FLCTL[1]	Вход/Выход	Значение	Функция
0	x	PCDDR[1]	PCDR[1]	Вывод общего назначения
1	1	Выход	FLCTL[5]	Выход флага FLAG[1] процессорного ядра
1	0	Вход	-	Вход общего назначения или FLAG_IN[1], или CAN0_RX

### 5.3 PC2

Вывод PC[2] может выполнять следующие альтернативные функции:

- флаг FLAG[2] процессорного ядра;
- линия SDA интерфейса I2C.

Таблица 67

PCALT[2]	CFG1[16]*	FLCTL[2]	Вход/Выход	Значение	Функция
0	0	x	PCDDR[2]	PCDR[2]	Вывод общего назначения
0	1	x	I2C_nSDA	0	Линия SDA интерфейса I2C
1	x	1	Выход	FLCTL[6]	Выход флага FLAG[2] процессорного ядра
1	x	0	Вход	-	Вход общего назначения или FLAG_IN[2]

Обозначение сигнала I2C\_nSDA указывает на то, что когда интерфейс I2C формирует выходной сигнал I2C\_nSDA равный 0, то выходной буфер включается на выдачу значения 0 на внешнюю контактную площадку. Если значение I2C\_nSDA равно 1, то выходной буфер отключается и переводится в третье состояние. Обращаем внимание, что в таблице значение CFG1[16]\* учитывает факт включения интерфейса I2C в работу. Если интерфейс не включен, то PC[2] есть вывод общего назначения.

#### 5.4 PC3

Вывод PC[3] может выполнять следующие альтернативные функции:

- флаг FLAG[3] процессорного ядра;
- линия SCL интерфейса I2C.

Таблица 68

PCALT[3]	CFG1[16]*	FLCTL[3]	Вход/Выход	Значение	Функция
0	0	x	PCDDR[3]	PCDR[3]	Вывод общего назначения
0	1	x	I2C_nSCL	0	Линия SCL интерфейса I2C
1	x	1	Выход	FLCTL[7]	Выход флага FLAG[3] процессорного ядра
1	x	0	Вход	-	Вход общего назначения или FLAG_IN[3]

Обозначение сигнала I2C\_nSCL указывает на то, что когда интерфейс I2C формирует выходной сигнал I2C\_nSCL равный 0, то выходной буфер включается на выдачу значения 0 на внешнюю контактную площадку. Если значение I2C\_nSCL равно 1, то выходной буфер отключается и переводится в третье состояние. Обращаем внимание, что в таблице значение CFG1[16]\* учитывает факт включения интерфейса I2C в работу. Если интерфейс не включен, то PC[3] есть вывод общего назначения.

#### 5.5 PC4

Вывод PC[4] может выполнять следующие альтернативные функции:

- вход 0 кода начальной загрузки;
- вход синхросигнала HCLK хост-интерфейса.

Таблица 69

PCALT[4]	PCDDR[4]	Значение	Функция
x	Выход	PCDR[4]	Выход общего назначения
x	Вход	-	Вход общего назначения или BOOT[0], или HCLK

Во время сброса вывод PC[4] всегда есть вход кода начальной загрузки.

#### 5.6 PC5

Вывод PC[5] может выполнять следующие альтернативные функции:

- вход 1 кода начальной загрузки;
- вход данных HDI хост-интерфейса.

Таблица 70

PCALT[5]	PCDDR[5]	Значение	Функция
x	Выход	PCDR[5]	Выход общего назначения
x	Вход	-	Вход общего назначения или BOOT[1], или HDI

Во время сброса вывод PC[5] всегда есть вход кода начальной загрузки.

### 5.7 PC6

Вывод PC[6] может выполнять следующие альтернативные функции:

- вход 2 кода начальной загрузки;
- вход данных HDI хост-интерфейса.

Таблица 71

PCALT[6]	HDO_EN	Вход/Выход	Значение	Функция
x	0	PCDDR[6]	PCDR[6]	Вывод общего назначения и BOOT[2]
x	1	Выход	HDO	Выход данных хост-интерфейса

Во время сброса вывод PC[6] всегда есть вход кода начальной загрузки.

### 5.8 PC7

Вывод PC[7] всегда есть активный выход сигнала синхронизации внешнего интерфейса. На его функции не оказывает влияния соответствующий ему бит альтернативной функции, бит направления и бит данных порта PC. В тоже время бит включения резистора к питанию выполняет свою функцию.

### 5.9 PC8

Вывод PC[8] имеет альтернативную функцию выхода разрешения синхронизации внешней SDRAM.

Таблица 72

PCALT[8]	Вход/Выход	Значение	Функция
0	PCDDR[8]	PCDR[8]	Вывод общего назначения
1	Выход	SD_CKE	Выход разрешения синхронизации SDRAM

### 5.10 PC9

Вывод PC[9] имеет альтернативную функцию выхода выбора модуля 0 внешней SDRAM.

Таблица 73

PCALT[9]	Вход/Выход	Значение	Функция
0	PCDDR[9]	PCDR[9]	Вывод общего назначения
1	Выход	MSSD[0]	Выход выбора модуля SDRAM

### 5.11 PC10

Вывод PC[10] имеет альтернативную функцию выхода выбора модуля 1 внешней SDRAM.

Таблица 74

PCALT[10]	Вход/Выход	Значение	Функция
0	PCDDR[10]	PCDR[10]	Вывод общего назначения
1	Выход	MSSD[1]	Выход выбора модуля SDRAM

### 5.12 PC11

Вывод PC[11] может выполнять следующие альтернативные функции:

- линия SDA интерфейса I2C;
- линия MDIO интерфейса RGMII и RMII.

Таблица 75

PCALT[11]	CFG1[21]	CFG1[16]	Вход/Выход	Значение	Функция
0	x	1	PCDDR[11]	PCDR[11]	Вывод общего назначения
0	x	0*	I2C_nSDA	0	Линия SDA интерфейса I2C
1	1	x	MDO_EN	MDO	MDIO интерфейса RGMII, RMII
1	0	x	Вход	-	Вход общего назначения

\* Бит CFG1[16] должен быть равен 0 и при этом включен интерфейс I2C. Если интерфейс I2C не включен, то PC[11] будет выводом общего назначения.

Примечание – Из-за ошибки в коде функция выхода MSSD[2] невозможна

### 5.13 PC12

Вывод PC[12] может выполнять следующие альтернативные функции:

- линия SCL интерфейса I2C;
- линия синхросигнала MDC интерфейса RGMII и RMII.

Таблица 76

PCALT[12]	CFG1[21]	CFG1[16]	Вход/Выход	Значение	Функция
0	x	1	PCDDR[12]	PCDR[12]	Вывод общего назначения
0	x	0*	I2C_nSCL	0	Линия SCL интерфейса I2C
1	1	x	Выход	MDC	MDC интерфейса RGMII, RMII
1	0	x	Вход	-	Вход общего назначения

\* Бит CFG1[16] должен быть равен 0 и при этом включен интерфейс I2C. Если интерфейс I2C не включен, то PC[12] будет выводом общего назначения.

Примечание – Из-за ошибки в коде функция выхода MSSD[3] невозможна

### 5.14 PC13

Вывод PC[13] имеет альтернативную функцию выхода выбора колонки внешней SDRAM.

Таблица 77

PCALT[13]	Вход/Выход	Значение	Функция
0	PCDDR[13]	PCDR[13]	Вывод общего назначения
1	Выход	SD_nCAS	Выход выбора колонки SDRAM

### 5.15 PC14

Вывод PC[14] имеет альтернативную функцию выхода выбора строки внешней SDRAM.

Таблица 78

PCALT[14]	Вход/Выход	Значение	Функция
0	PCDDR[14]	PCDR[14]	Вывод общего назначения
1	Выход	SD_nRAS	Выход выбора строки SDRAM

### 5.16 PC15

Вывод PC[15] имеет альтернативную функцию выхода признака записи внешней SDRAM.

Таблица 79

PCALT[15]	Вход/Выход	Значение	Функция
0	PCDDR[15]	PCDR[15]	Вывод общего назначения
1	Выход	SD_nWE	Выход признака записи SDRAM

### 5.17 PC16

Вывод PC[16] имеет альтернативную функцию выхода маскирования данных внешней SDRAM.

Таблица 80

PCALT[16]	Вход/Выход	Значение	Функция
0	PCDDR[16]	PCDR[16]	Вывод общего назначения
1	Выход	SD_DQM	Выход маски SDRAM

### 5.18 PC17

Вывод PC[17] имеет альтернативную функцию выхода адреса внешней SDRAM (бит 10).

Таблица 81

PCALT[17]	Вход/Выход	Значение	Функция
0	PCDDR[17]	PCDR[17]	Вывод общего назначения
1	Выход	SD_A10	Выход адреса SDRAM

### 5.19 PC18

Вывод PC[18] имеет альтернативную функцию выхода выбора внешней памяти типа 1 интерфейса статической памяти.

Таблица 82

PCALT[18]	Вход/Выход	Значение	Функция
0	PCDDR[18]	PCDR[18]	Вывод общего назначения
1	Выход	nMS[1]	Выход выбора внешней памяти

### 5.20 PC19

Вывод PC[19] имеет альтернативную функцию выхода выбора внешней памяти типа 0 интерфейса статической памяти.

Таблица 83

PCALT[19]	Вход/Выход	Значение	Функция
0	PCDDR[19]	PCDR[19]	Вывод общего назначения
1	Выход	nMS[0]	Выход выбора внешней памяти

### 5.21 PC20

Вывод PC[20] имеет альтернативную функцию выхода выбора внешней памяти начальной загрузки интерфейса статической памяти.

Таблица 84

PCALT[20]	Вход/Выход	Значение	Функция
0	PCDDR[20]	PCDR[20]	Вывод общего назначения
1	Выход	nBMS	Выход выбора внешней памяти начальной загрузки

### 5.22 PC21

Вывод PC[21] имеет альтернативную функцию выхода строба чтения интерфейса статической памяти.

Таблица 85

PCALT[21]	Вход/Выход	Значение	Функция
0	PCDDR[21]	PCDR[21]	Вывод общего назначения
1	Выход	nRD	Выход строба чтения интерфейса статической памяти

### 5.23 PC22

Вывод PC[22] имеет альтернативную функцию выхода строба записи интерфейса статической памяти.

Таблица 86

PCALT[22]	Вход/Выход	Значение	Функция
0	PCDDR[22]	PCDR[22]	Вывод общего назначения
1	Выход	nWR	Выход строба записи интерфейса статической памяти

### 5.24 PC23

Вывод PC[23] имеет альтернативную функцию входа готовности интерфейса статической памяти.

Таблица 87

PCALT[23]	Вход/Выход	Значение	Функция
0	PCDDR[23]	PCDR[23]	Вывод общего назначения
1	Вход	-	Вход готовности АСК интерфейса статической памяти

### 5.25 PC24

Вывод PC[24] может выполнять следующие альтернативные функции:

- выход разрешения передачи Link-порта 0;
- выход синхросигнала интерфейса GPS0.

Таблица 88

PCALT[24]	LORCTL[9]	Вход/Выход	Значение	Функция
0	x	PCDDR[24]	PCDR[24]	Вывод общего назначения
1	0	Выход	L0ACKO	Разрешение передачи Link 0
1	1	Выход	GPS0_CLKO	Синхросигнал GPS0

### 5.26 PC25

Вывод PC[25] может выполнять следующие альтернативные функции:

- вход L0ACKI разрешения передачи Link-порта 0;
- вход GPS0\_MAG данных (амплитуда) интерфейса GPS0.

Таблица 89

PCALT[25]	Вход/Выход	Значение	Функция
0	PCDDR[25]	PCDR[25]	Вывод общего назначения
1	Вход	-	Вход общего назначения или L0ACKI, или GPS0_MAG

### 5.27 PC26

Вывод PC[26] имеет альтернативную функцию выхода L0VCMPO окончания блока Link-порта 0.

Таблица 90

PCALT[26]	Вход/Выход	Значение	Функция
0	PCDDR[26]	PCDR[26]	Вывод общего назначения
1	Выход	L0BCMPO	Окончание блока Link-порта 0

### 5.28 PC27

Вывод PC[27] может выполнять следующие альтернативные функции:

- вход L0BCMPI окончания блока Link-порта 0;
- вход GPS0\_SIGN данных (знак) интерфейса GPS0;
- вход синхронизирующего импульса Link-интерфейса EXT\_PULSE.

Таблица 91

PCALT[27]	Вход/Выход	Значение	Функция
0	PCDDR[27]	PCDR[27]	Вывод общего назначения
1	Вход	-	Вход общего назначения или L0BCMPI, или GPS0_SIGN, или EXT_PULSE

### 5.29 PC28

Вывод PC[28] может выполнять следующие альтернативные функции:

- выход разрешения передачи Link-порта 1;
- выход синхросигнала интерфейса GPS1;
- выход передатчика интерфейса CAN1.

Таблица 92

PCALT[28]	CFG1[26]	L1RCTL[9]	Вход/Выход	Значение	Функция
0	x	x	PCDDR[28]	PCDR[28]	Вывод общего назначения
1	0	0	Выход	L1ACKO	Разрешение передачи Link 1
1	0	1	Выход	GPS1_CLKO	Синхросигнал GPS1
1	1	x	Выход	CAN1_TX	Передатчик CAN1

### 5.30 PC29

Вывод PC[29] может выполнять следующие альтернативные функции:

- вход L1ACKI разрешения передачи Link-порта 1;
- вход GPS1\_MAG данных (амплитуда) интерфейса GPS1;
- вход приемника интерфейса CAN1.

Таблица 93

PCALT[29]	Вход/Выход	Значение	Функция
0	PCDDR[29]	PCDR[29]	Вывод общего назначения
1	Вход	-	Вход общего назначения или L1ACKI, или GPS1_MAG, или CAN1_RX

### 5.31 PC30

Выход PC[30] имеет альтернативную функцию выхода L1BCMPO окончания блока Link-порта 1.

Таблица 94

PCALT[30]	Вход/Выход	Значение	Функция
0	PCDDR[30]	PCDR[30]	Выход общего назначения
1	Выход	L1BCMPO	окончание блока Link-порта 1

Во время сброса вход PC[30] управляет конфигурацией контактной площадки входного блока OSCI-OSCO.

### 5.32 PC31

Выход PC[31] может выполнять следующие альтернативные функции:

- вход L1BCMPI окончания блока Link-порта 1;
- вход GPS1\_SIGN данных (знак) интерфейса GPS1.

Таблица 95

PCALT[31]	Вход/Выход	Значение	Функция
0	PCDDR[31]	PCDR[31]	Выход общего назначения
1	Вход	-	Вход общего назначения или L1BCMPI, или GPS1_SIGN

## 6 Альтернативные функции выводов порта PD

Для управления альтернативными функциями порта PD используется регистр PX\_ALT интерфейса внешней памяти. Для реализации порта общего назначения используются регистры PD\_DIR (направление) и PD\_DAT (данные) интерфейса внешней памяти.

### 6.1 PD7\_0

Выводы PD[7:0] имеют альтернативные функции разрядов DATA[7:0] шины данных интерфейса внешней памяти.

Таблица 96

PX_ALT[0]	Вход/Выход	Значение	Функция
0	PD_DIR[7:0]	PD_DAT[7:0]	Выводы общего назначения
1	X_WE	X_DO[7:0]	Шина данных DATA[7:0] внешней памяти

При выполнении функции шины данных, внутренний признак записи X\_WE интерфейса внешней памяти управляет направлением передачи данных. Во время записи (X\_WE=1) внутренние данные X\_DO передаются на внешние контакты. Во время чтения (X\_WE=0) информация с внешних контактов поступает в интерфейс. Если альтернативная функция отключена, каждый из выводов PD[7:0] есть вывод общего назначения, программируемый индивидуально.

### 6.2 PD15\_8

Выводы PD[15:8] имеют альтернативные функции разрядов DATA[15:8] шины данных интерфейса внешней памяти.

Таблица 97

PX_ALT[1]	Вход/Выход	Значение	Функция
0	PD_DIR[15:8]	PD_DAT[15:8]	Выводы общего назначения
1	X_WE	X_DO[15:8]	Шина данных DATA[15:8] внешней памяти

При выполнении функции шины данных внутренний признак записи X\_WE интерфейса внешней памяти управляет направлением передачи данных. Во время записи (X\_WE=1) внутренние данные X\_DO передаются на внешние контакты. Во время чтения (X\_WE=0) информация с внешних контактов поступает в интерфейс. Если альтернативная функция отключена, каждый из выводов PD[15:8] есть вывод общего назначения, программируемый индивидуально.

### 6.3 PD16

Вывод PD[16] может выполнять следующие альтернативные функции:

- разряд 16 шины данных интерфейса внешней памяти;
- разряд 0 шины данных интерфейса NAND Flash;
- вход основного канала (прямой) интерфейса МКПД1.

Таблица 98

PX_ALT[8,7,2]	Вход/Выход	Значение	Функция
xx0	PD_DIR[16]	PD_DAT[16]	Вывод общего назначения
x01	X_WE	X_DO[16]	Шина данных DATA[16] внешней памяти
011	NF_DEN	NF_D[0]	Шина данных NAND Flash
111	Вход	-	Вход общего назначения или MIL1_IN1P

### 6.4 PD17

Вывод PD[17] может выполнять следующие альтернативные функции:

- разряд 17 шины данных интерфейса внешней памяти;
- разряд 1 шины данных интерфейса NAND Flash;
- вход основного канала (инверсный) интерфейса МКПД1.

Таблица 99

PX_ALT[8,7,2]	Вход/Выход	Значение	Функция
xx0	PD_DIR[17]	PD_DAT[17]	Вывод общего назначения
x01	X_WE	X_DO[17]	Шина данных DATA[17] внешней памяти
011	NF_DEN	NF_D[1]	Шина данных NAND Flash
111	Вход	-	Вход общего назначения или MIL1_IN1N

### 6.5 PD18

Вывод PD[18] может выполнять следующие альтернативные функции:

- разряд 18 шины данных интерфейса внешней памяти;
- разряд 2 шины данных интерфейса NAND Flash;
- выход основного канала (прямой) интерфейса МКПД1.

Таблица 100

PX_ALT[8,7,2]	Вход/Выход	Значение	Функция
xx0	PD_DIR[18]	PD_DAT[18]	Вывод общего назначения
x01	X_WE	X_DO[18]	Шина данных DATA[18] внешней памяти
011	NF_DEN	NF_D[2]	Шина данных NAND Flash
111	Выход	MIL1_OU1P	Выход интерфейса МКПД

## 6.6 PD19

Вывод PD[19] может выполнять следующие альтернативные функции:

- разряд 19 шины данных интерфейса внешней памяти;
- разряд 3 шины данных интерфейса NAND Flash;
- выход основного канала (инверсный) интерфейса МКПД1.

Таблица 101

PX_ALT[8,7,2]	Вход/Выход	Значение	Функция
xx0	PD_DIR[19]	PD_DAT[19]	Вывод общего назначения
x01	X_WE	X_DO[19]	Шина данных DATA[19] внешней памяти
011	NF_DEN	NF_D[3]	Шина данных NAND Flash
111	Выход	MIL1_OU1N	Выход интерфейса МКПД

## 6.7 PD20

Вывод PD[20] может выполнять следующие альтернативные функции:

- разряд 20 шины данных интерфейса внешней памяти;
- разряд 4 шины данных интерфейса NAND Flash;
- выход разрешения передачи основного канала интерфейса МКПД1.

Таблица 102

PX_ALT[8,7,2]	Вход/Выход	Значение	Функция
xx0	PD_DIR[20]	PD_DAT[20]	Вывод общего назначения
x01	X_WE	X_DO[20]	Шина данных DATA[20] внешней памяти
011	NF_DEN	NF_D[4]	Шина данных NAND Flash
111	Выход	MIL1_OU1X	Выход разрешения передачи интерфейса МКПД

## 6.8 PD21

Вывод PD[21] может выполнять следующие альтернативные функции:

- разряд 21 шины данных интерфейса внешней памяти;
- разряд 5 шины данных интерфейса NAND Flash;
- вход резервного канала (прямой) интерфейса МКПД1.

Таблица 103

PX_ALT[8,7,2]	Вход/Выход	Значение	Функция
xx0	PD_DIR[21]	PD_DAT[21]	Вывод общего назначения
x01	X_WE	X_DO[21]	Шина данных DATA[21] внешней памяти
011	NF_DEN	NF_D[5]	Шина данных NAND Flash
111	Вход	-	Вход общего назначения или MIL1_IN2P

**6.9 PD22**

Вывод PD[22] может выполнять следующие альтернативные функции:

- разряд 22 шины данных интерфейса внешней памяти;
- разряд 6 шины данных интерфейса NAND Flash;
- вход резервного канала (инверсный) интерфейса МКПД1.

Таблица 104

PX_ALT[8,7,2]	Вход/Выход	Значение	Функция
xx0	PD_DIR[22]	PD_DAT[22]	Вывод общего назначения
x01	X_WE	X_DO[22]	Шина данных DATA[22] внешней памяти
011	NF_DEN	NF_D[6]	Шина данных NAND Flash
111	Вход	-	Вход общего назначения или MIL1_IN2N

**6.10 PD23**

Вывод PD[23] может выполнять следующие альтернативные функции:

- разряд 23 шины данных интерфейса внешней памяти;
- разряд 7 шины данных интерфейса NAND Flash;
- выход резервного канала (прямой) интерфейса МКПД1.

Таблица 105

PX_ALT[8,7,2]	Вход/Выход	Значение	Функция
xx0	PD_DIR[23]	PD_DAT[23]	Вывод общего назначения
x01	X_WE	X_DO[23]	Шина данных DATA[23] внешней памяти
011	NF_DEN	NF_D[7]	Шина данных NAND Flash
111	Выход	MIL1_OU2P	Выход данных интерфейса МКПД

**6.11 PD24**

Вывод PD[24] может выполнять следующие альтернативные функции:

- разряд 24 шины данных интерфейса внешней памяти;
- выход строга передачи команды интерфейса NAND Flash;
- выход резервного канала (инверсный) интерфейса МКПД1.

Таблица 106

PX_ALT[8,7,3]	Вход/Выход	Значение	Функция
xx0	PD_DIR[24]	PD_DAT[24]	Вывод общего назначения
x01	X_WE	X_DO[24]	Шина данных DATA[24] внешней памяти
011	Выход	NF_CLE	Строб команды NAND Flash
111	Выход	MIL1_OU2N	Выход данных интерфейса МКПД

**6.12 PD25**

Выход PD[25] может выполнять следующие альтернативные функции:

- разряд 25 шины данных интерфейса внешней памяти;
- выход строба передачи адреса интерфейса NAND Flash;
- выход разрешения передачи резервного канала интерфейса МКПД1.

Таблица 107

PX_ALT[8,7,3]	Вход/Выход	Значение	Функция
xx0	PD_DIR[25]	PD_DAT[25]	Выход общего назначения
x01	X_WE	X_DO[25]	Шина данных DATA[25] внешней памяти
011	Выход	NF_ALE	Строб адреса NAND Flash
111	Выход	MIL1_OU2X	Выход разрешения передачи интерфейса МКПД

**6.13 PD26**

Выход PD[26] может выполнять следующие альтернативные функции:

- разряд 26 шины данных интерфейса внешней памяти;
- выход строба чтения интерфейса NAND Flash.

Таблица 108

PX_ALT[8,7,3]	Вход/Выход	Значение	Функция
xx0	PD_DIR[26]	PD_DAT[26]	Выход общего назначения
x01	X_WE	X_DO[26]	Шина данных DATA[26] внешней памяти
011	Выход	NF_RE	Строб чтения NAND Flash
111	Вход	-	Вход общего назначения

**6.14 PD27**

Выход PD[27] может выполнять следующие альтернативные функции:

- разряд 27 шины данных интерфейса внешней памяти;
- выход строба записи интерфейса NAND Flash.

Таблица 109

PX_ALT[8,7,3]	Вход/Выход	Значение	Функция
xx0	PD_DIR[27]	PD_DAT[27]	Выход общего назначения
x01	X_WE	X_DO[27]	Шина данных DATA[27] внешней памяти
011	Выход	NF_WE	Строб записи NAND Flash
111	Вход	-	Вход общего назначения

**6.15 PD28**

Выход PD[28] может выполнять следующие альтернативные функции:

- разряд 28 шины данных интерфейса внешней памяти;

- выход выбора модуля внешней памяти интерфейса NAND Flash.

Таблица 110

PX_ALT[8,7,3]	Вход/Выход	Значение	Функция
xx0	PD_DIR[28]	PD_DAT[28]	Вывод общего назначения
x01	X_WE	X_DO[28]	Шина данных DATA[28] внешней памяти
011	Выход	NF_CS[0]	Строб выбора модуля NAND Flash
111	Вход	-	Вход общего назначения

### 6.16 PD29

Вывод PD[29] может выполнять следующие альтернативные функции:

- разряд 29 шины данных интерфейса внешней памяти;
- выход выбора модуля внешней памяти интерфейса NAND Flash.

Таблица 111

PX_ALT[8,7,3]	Вход/Выход	Значение	Функция
xx0	PD_DIR[29]	PD_DAT[29]	Вывод общего назначения
x01	X_WE	X_DO[29]	Шина данных DATA[29] внешней памяти
011	Выход	NF_CS[1]	Строб выбора модуля NAND Flash
111	Вход	-	Вход общего назначения

### 6.17 PD30

Вывод PD[30] может выполнять следующие альтернативные функции:

- разряд 30 шины данных интерфейса внешней памяти;
- выход выбора модуля внешней памяти интерфейса NAND Flash.

Таблица 112

PX_ALT[8,7,3]	Вход/Выход	Значение	Функция
xx0	PD_DIR[30]	PD_DAT[30]	Вывод общего назначения
x01	X_WE	X_DO[30]	Шина данных DATA[30] внешней памяти
011	Выход	NF_CS[2]	Строб выбора модуля NAND Flash
111	Вход	-	Вход общего назначения

### 6.18 PD31

Вывод PD[31] может выполнять следующие альтернативные функции:

- разряд 31 шины данных интерфейса внешней памяти;
- вход готовности модуля внешней памяти интерфейса NAND Flash.

Таблица 113

PX_ALT[7,3,2]	Вход/Выход	Значение	Функция
x00	PD_DIR[31]	PD_DAT[31]	Вывод общего назначения
011	X_WE	X_DO[31]	Шина данных DATA[31] внешней памяти

1x1	Вход	-	NF_RDY. Готовность модуля NAND Flash
x10	PD_DIR[31]=0	-	Запрещенная комбинация если PD_DIR[31]=1 NF_RDY. Готовность модуля NAND Flash
x01			Запрещенная комбинация

Разряды PX\_ALT[3:2] управляют байтами 2 и 3 шины данных DATA и должны всегда иметь одинаковое значение, т.к. интерфейс внешней памяти не может поддерживать 24-разрядные обмены. Сигнал X\_WE есть внутренний признак записи во внешнюю память. Когда он равен 1, контакт работает как выход, а если равен 0, то это ВХОД.

## 7 Альтернативные функции выводов порта PE

Порт PE представляет собой 22-разрядный порт только для выдачи информации, т.е. его контактные площадки работают только как выходы. Для управления альтернативными функциями порта PE используется регистр PX\_ALT интерфейса внешней памяти. Для реализации порта общего назначения используется регистр PXA\_DAT (данные) интерфейса внешней памяти.

### 7.1 PE7\_0

Выводы PE[7:0] имеют альтернативные функции разрядов ADDR[7:0] шины адреса интерфейса внешней памяти.

Таблица 114

PX_ALT[4]	Вход/Выход	Значение	Функция
0	Выход	PXA_DAT[7:0]	Выводы общего назначения
1	Выход	X_A[7:0]	Шина адреса ADDR [7:0] внешней памяти

### 7.2 PE15\_8

Выводы PE[15:8] имеют альтернативные функции разрядов ADDR[15:8] шины адреса интерфейса внешней памяти.

Таблица 115

PX_ALT[5]	Вход/Выход	Значение	Функция
0	Выход	PXA_DAT[15:8]	Выводы общего назначения
1	Выход	X_A[15:8]	Шина адреса ADDR [15:8] внешней памяти

### 7.3 PE21\_16

Выводы PE[21:16] имеют альтернативные функции разрядов ADDR[21:16] шины адреса интерфейса внешней памяти.

Таблица 116

PX_ALT[6]	Вход/Выход	Значение	Функция
0	Выход	PXA_DAT[21:16]	Выводы общего назначения
1	Выход	X_A[21:16]	Шина адреса ADDR [21:16] внешней памяти

## 8 Дополнительные выводы

### 8.1 OSCO

Вывод OSCO может выполнять следующие альтернативные функции:

- выход разряда ADDR[22] шины адреса интерфейса внешней памяти;
- выход синхронизирующего импульса Link-порта.

Таблица 117

CFG12[4]	PX_ALT[6]	Вход/Выход	Значение	Функция
0	0	Выход	PXA_DAT[22]	Вывод общего назначения
0	1	Выход	X_A[22]	Бит адреса ADDR [22] внешней памяти
1	x	Выход	ext_out_pulse	Импульс, формируемый внутри Link-интерфейса

Если во время сброса на внешнем контакте PC[30] низкий уровень (0), то  $OSCO = \sim OSCI$ . Если во время сброса на внешнем контакте PC[30] высокий уровень (1), то возможно два варианта

- если бит CFG12[4] равен 0, то выход OSCO – это выход 22-го бита адреса внешней памяти ADDR[22] по умолчанию;
- если бит CFG12[4] равен 1, то выход OSCO – это выход специального синхронизирующего импульса EXT\_PULSE, формируемого внутри Link-порта в соответствии с настройками в регистре CFG12[9:0].

## 9 Примеры

Возможное подключение внутренних контроллеров к выводам микросхемы представлено в таблицах 118, 119.

Таблица 118

N	PA				N	PB						
0	UART0				0	VC	GT0	SPI2	MILO			
1					1							
2	UART1	NAND			2	LCD	nDMAR	ARINC	USB			
3					3							
4	SPI0				4							
5				5								
6				6								
7				7								
8		NAND			8							
9					9							
10				10								
11				11								
12				12								
13	SPI1	AC0			13		GT1	ARINC		USB		
14					14							
15					15							
16				16*								
17		NAND			17							
18				18								
19	AC1				19							
20					20							
21					21							
22		GT0				22						
23					23							
24					24							
25		RGMII			25	nDMAR			nIRQ		ARINC	
26	VC		MILO									26
27												27
28									28			
29							29					
30							30					
31				31								

Таблица 119

N	PC			N	PD		N	PE		
0	FLAG	CAN0		0	DATA		0	ADDR		
1				1			1			
2		I2C		2			2			
3				3			3			
4	BOOT	HOST		4			4			
5				5			5			
6				6			6			
7	XCLK			7			7			
8	SDRAM			8			8			
9				9			9			
10				10			10			
11	I2C	MDIO		11			11			
12				12			12			
13	SDRAM			13			13			
14				14			14			
15				15			15			
16				16		NAND	MIL1		16	
17			17	17						
18	SRAM			18					18	
19				19					19	
20				20					20	
21				21					21	
22				22						
23				23						
24	GPS0	Link0		24						
25				25						
26				26						
27	GPS0		XPS	27						
28	GPS1	Link1	CAN1	28						
29						29				
30	OSCO*			30						
31	GPS1			31						

Примечание – Обозначения в таблицах 118, 119:

AC0 и AC1 – интерфейсы AC97 и SSI(I2S);

GT0 и GT1 – таймеры общего назначения;

MIL0 и MIL1 – интерфейсы МКПД;

VC – интерфейс видеокамеры;

LCD – интерфейс ЖКИ;

SRAM – интерфейс внешней статической памяти;

SDRAM – интерфейс внешней динамической памяти;

DATA и ADDR – шины данных и адреса интерфейсов внешней памяти;

NAND – интерфейс внешней NAND Flash-памяти;

nDMAR – запросы к контроллеру прямого доступа;

nIRQ – запросы прерываний;  
Link0 и Link1 – дополнительные линии к Link-портам;  
MDIO – последовательный интерфейс RGMII.

Общим правилом при подключении какого-либо интерфейса к внешним выводам может быть проверка, что необходимые для подключения выводы в текущий момент времени выполняют только функцию вывода общего назначения. Если для некоторого вывода уже установлен бит альтернативной функции, то этот факт можно рассматривать как ошибку подключения. Для подключения к выводам новой функции прежняя функция должна быть отключена. Это позволит обнаруживать как ошибку повторного подключения, так и конфликт при подключении разных функций к одному и тому же выводу. Желательное иметь состояние вывода общего назначения как Вход, учитывая, что данное состояние вывода есть состояние после сброса. В дальнейшем, при описании примеров настроек, будем предполагать, что перечисленные выше требования выполняются.

### 9.1 UART0

Для подключения UART0 к выводам PA[0,1] необходимо вначале настроить интерфейс и включить его в работу. Затем установить всем битам PAALT[0,1] значение 1. После этого вывод PA[0] будет выполнять функцию передачи, а вывод PA[1] функцию приема.

### 9.2 UART1

Для подключения UART1 к выводам PA[2,3] необходимо вначале настроить интерфейс и включить его в работу. Затем проверить, что бит CFG1[18] равен 0 и установить всем битам PAALT[2,3] значение 1. После этого вывод PA[2] будет выполнять функцию передачи, а вывод PA[3] функцию приема.

### 9.3 UART2

Для подключения UART2 к выводам PB[27,28] необходимо вначале настроить интерфейс и включить его в работу. Затем установить бит CFG1[23] в 1, а в оба бита PVALT[27,28] записать значение 1. После этого вывод PB[27] будет выполнять функцию передачи, а вывод PB[28] функцию приема.

### 9.4 UART3

Для подключения UART3 к выводам PB[29,30] необходимо вначале настроить интерфейс и включить его в работу. Затем установить бит CFG1[24] в 1, а в оба бита PVALT[29,30] записать значение 1. После этого вывод PB[29] будет выполнять функцию передачи, а вывод PB[30] функцию приема.

### 9.5 SPI0

Для подключения SPI0 к выводам PA[4,5,6,7] необходимо вначале настроить интерфейс и включить его в работу. Затем проверить, что бит CFG1[18] равен 0 и установить всем битам PAALT[4,5,6,7] значение 1. Направление работы выводов будет

определяться режимом работы интерфейса: мастер либо подчиненный. К интерфейсу SPI0 можно подключить до шести внешних устройств, каждое из которых может использовать собственный сигнал выборки SPI0\_CS. Для этого дополнительно можно использовать выводы PA[8,9,10,11,12]. Алгоритм их конфигурирования аналогичен. Если какой-то из выводов SPI0 не нужен для организации работы интерфейса, то соответствующий бит регистра PAALT[] должен быть сброшен в 0 и вывод может быть использован как вывод общего назначения.

## 9.6 SPI1

Для подключения SPI1 к выводам PA[13,14,15,16] необходимо вначале настроить интерфейс и включить его в работу. Затем проверить, что бит CFG1[18] равен 0, установить бит CFG1[11] равным 1 и далее установить всем битам PAALT[13,14,15,16] значение 1. Направление работы выводов будет определяться режимом работы интерфейса: мастер либо подчиненный.

Обращаем Ваше внимание на то, что выводы PA[2-6,8-15,17-18] могут быть использованы для подключения внешней NAND Flash-памяти. Допускается одновременное подключение интерфейсов SPI вместе с подключением NAND-памяти. Однако, работа интерфейсов NAND и SPI должна быть разделена во времени. Не допускается одновременная работа этих интерфейсов. Для организации подобного режима работы биты CFG1[18:17] используют кодовую комбинацию 10 для приостановки работы интерфейса NAND. В этом режиме сигналы NF\_RE, NF\_WE, NF\_CS[1], NF\_CS[0] переводятся в неактивное состояние (высокий уровень на выходе). Это позволяет организовать обмен по интерфейсам SPI. Если биты CFG1[18:17] равны 11, то интерфейс NAND становится активным, а выходы SPI0\_CS[0] и SPI1\_CS становятся выводами общего назначения. Для корректной работы интерфейсов SPI необходимо, чтобы в этом состоянии выводы PA[7] и PA[16] формировали на выходе неактивный уровень выборки устройства SPI.

## 9.7 SPI2

Для подключения SPI2 к выводам PB[0,1,2,3] необходимо настроить интерфейс, включить его в работу, установить бит CFG1[15] в 1 и установить всем битам PBALT[0,1,2,3] значение 1. Направление работы выводов будет определяться режимом работы интерфейса: мастер либо подчиненный.

## 9.8 NAND

Процессор имеет один контроллер внешней NAND Flash-памяти, но он может быть подключен двумя способами: к выводам порта PA или к выводам порта PD. Подключение к выводам PD определяется битами PX\_ALT[8,7,3,2]. Подключение к выводам PA определяется битами CFG1[18,17]. Интерфейс может быть одновременно подключен к обоим портам, но принимать информацию он может только от одного источника. Выбор этого источника определяется битом CFG1[18]. Поэтому, для работы с NAND, подключенной к порту PD, бит CFG1[18] должен быть равен 0.

Для подключения NAND к выводам порта PA[] необходимо настроить интерфейс, включить его в работу, установить оба бита CFG1[18,17] в 1 и затем установить всем (соответствующим интерфейсу NAND) битам PAALT[] значение 1, переключив выводы порта под управление от внутреннего контроллера NAND.

Для подключения NAND к выводам PD[] необходимо настроить интерфейс, включить его в работу, сбросить оба бита CFG1[18,17] в 0 и затем записать в разряды PX\_ALT[8,7,3,2] значение 0111. После этого выводы порта PD перейдут под управление от внутреннего контроллера NAND. Подключение контроллера NAND к порту PD ограничивает максимальный размер шины контроллера внешней памяти до 16 разрядов.

### 9.9 SSI0(I2S0)

Интерфейс SSI0 содержит три линии для организации передачи данных и три линии для организации приема данных. Интерфейс AC97 должен быть выключен. Для подключения передатчика SSI0 к выводам PA[13,14,15] необходимо вначале настроить интерфейс и включить его в работу. Затем проверить, что биты CFG1[18,14] сброшены в 0 и установить всем битам PAALT[13,14,15] значение 1. Направление работы выводов TCLK и TFS будет определяться режимом работы интерфейса: мастер либо подчиненный. Для подключения приемника SSI0 к выводам PA[16,17,18] необходимо вначале настроить интерфейс и включить его в работу. Затем проверить, что биты CFG1[18,14] сброшены в 0 и установить всем битам PAALT[16,17,18] значение 1. Направление работы выводов RCLK и RFS будет определяться режимом работы интерфейса: мастер либо подчиненный.

### 9.10 SSI1(I2S1)

Интерфейс SSI1 содержит три линии для организации передачи данных и три линии для организации приема данных. Интерфейс AC97 должен быть выключен. Для подключения передатчика SSI1 к выводам PA[19,20,21] необходимо вначале настроить интерфейс и включить его в работу. Затем установить всем битам PAALT[19,20,21] значение 1. Направление работы выводов TCLK и TFS будет определяться режимом работы интерфейса: мастер либо подчиненный. Для подключения приемника SSI1 к выводам PA[22,23,24] необходимо вначале настроить интерфейс и включить его в работу. Затем проверить, что бит CFG1[19] сброшен в 0 и установить всем битам PAALT[22,23,24] значение 1. Направление работы выводов RCLK и RFS будет определяться режимом работы интерфейса: мастер либо подчиненный.

### 9.11 I2C

Процессор имеет один контроллер I2C, но он может быть подключен к внешним выводам двумя способами: к выводам PA[2,3] или к выводам PA[11,12]. Способ подключения определяется битом CFG1[16]. Значение бита CFG1[16] равное 0 указывает на подключение к PA[11,12], а значение равное 1 на подключение к PA[2,3]. Бит CFG1[16] должен быть определен до включения интерфейса I2C. Особенность подключения интерфейса I2C состоит в том, что **не нужно включать** соответствующие выводам биты альтернативных функций. Выводы должны быть сконфигурированы как

выводы общего назначения. Необходимо убедиться, что соответствующие подключению выводы общего назначения находятся в состоянии Вход и поле этого включить контроллер I2C. После включения выводы переходят под управление контроллера. Контроллер формирует на выводах SCL и SDA только активный 0. Значение 1 на линии должно определяться внешним резистором (если встроенного резистора недостаточно для нормальной работы).

### 9.12 USB

Интерфейс универсальной последовательной шины USB содержит вход синхронизации, три линии для организации приема-передачи данных и восемь линий шины данных. Для подключения USB к выводам PB[10-21] необходимо вначале подключить внешние выводы к контроллеру USB. Для этого нужно бит CFG1[22] установить в 1. Затем нужно установить в 1 биты регистра альтернативных функций PBALT[13-21]. Обращаем внимание на то, что биты PBALT[10-12] обязательно должны быть равны 0, т.е. выводы PB[10-12] должны быть сконфигурированы как выводы общего назначения в состоянии Вход. После этого можно переходить к настройкам и включению контроллера.

### 9.13 VC

Интерфейс видеокамеры имеет особенность в том, что все его сигнальные линии есть входы. Поэтому наилучшим решением при подключении данного интерфейса будет программирование выводов PA[26-31] и PB[0-3] как выводов общего назначения, находящихся в состоянии Вход.

### 9.14 LCD

Интерфейс ЖКИ предполагает подключение внешней панели и передачу информации в формате RGB565. Выводы PB[4-30] могут быть использованы при подключении интерфейса. Все сигналы интерфейса являются выходами. Перед тем как установить все биты PBALT[4-30] в 1, необходимо очистить биты CFG1[4-7,20,22-24] в ноль. Это гарантирует, что ни какие другие интерфейсы не будут подключены к этим же выводам. Если какие-то выводы интерфейса не нужно использовать при подключении, то они могут быть сконфигурированы как выводы общего назначения.

### 9.15 GTMR0

Интерфейс таймера общего назначения GTMR0 может использовать выводы микросхемы при реализации функций ШИМ, а также для реализации функций «захвата» сигнала, т.е. фиксации времени изменения сигнала на какой-то из входных линий. Для реализации функции ШИМ используются 4 пары (прямой и инверсный выходы) сигналов. Необходимо сбросить бит CFG1[21] в 0, установить бит CFG1[19] в 1 и затем переключить выводы PA[22-29] на альтернативную функцию, установив биты PAALT[22-29] в 1. Для реализации функций ШИМ могут понадобиться входы BRK и ETR. В этом случае наилучшим решением для их использования будет конфигурация выводов PA[30-31] как выводов общего назначения в состоянии Вход. Если необходимо

реализовать функции «захвата» сигналов, то в этом случае наилучшим решением будет конфигурация выводов PB[0-3] как выводов общего назначения в состоянии Вход.

### 9.16 GTMR1

Интерфейс таймера общего назначения GTMR1 может использовать выводы микросхемы при реализации функций ШИМ, а также для реализации функций «захвата» сигнала, т.е. фиксации времени изменения сигнала на какой-то из входных линий. Для реализации функции ШИМ используются 4 пары (прямой и инверсный выходы) сигналов. Необходимо сбросить бит CFG1[22] в 0, установить бит CFG1[20] в 1 и затем переключить выводы PB[8-15] на альтернативную функцию, установив биты RBALT[8-15] в 1. Для реализации функций ШИМ могут понадобиться входы BRK и ETR. В этом случае наилучшим решением для их использования будет конфигурация выводов PB[16-17] как выводов общего назначения в состоянии Вход. Если необходимо реализовать функции «захвата» сигналов, то в этом случае наилучшим решением будет конфигурация выводов PB[18-21] как выводов общего назначения в состоянии Вход.

### 9.17 МКПД0

Интерфейс мультиплексного канала передачи данных использует основной и резервный каналы для передачи данных. Каждый из каналов использует три линии: две линии данных (прямая и инверсная) и линия разрешения передачи. Выводы PA[26-31] используются для передачи информации. Для их конфигурирования необходимо сбросить биты CFG1[8,19,21] в 0, а затем установить в 1 биты PAALT[26-31].

Для приема информации могут использоваться две пары входных сигналов с входов PB[0-3]. Для их подключения наилучшим решением будет конфигурация выводов PB[0-3] как выводов общего назначения в состоянии Вход.

### 9.18 МКПД1

Интерфейс мультиплексного канала передачи данных использует основной и резервный каналы для передачи данных. Каждый из каналов использует три линии: две линии данных (прямая и инверсная) и линия разрешения передачи. Выводы PD[18-20] и PD[23-25] используются для передачи информации. Выводы PD[16-17] и PD[21-22] используются для приема информации. Для подключения интерфейса необходимо записать в биты PX\_ALT[8,7,3,2] двоичное значение 1111.

### 9.19 ARINC

Интерфейс ARINC использует 4 пары выходных сигналов для передачи. Выдача каждой пары управляется индивидуальным битом. Для подключения всех выходов к внешним выводам PB[20-21,26-31] необходимо сбросить в 0 биты CFG1[22,23], установить в 1 биты CFG1[4,5,6,7]. После этого необходимо установить в 1 биты RBALT[20-21,26-31]. Прием данных выполняется со входов PB[4-19]. Для их подключения наилучшим решением будет конфигурация выводов PB[4-19] как выводов общего назначения в состоянии Вход.

## 9.20 RGMII, RMII

Интерфейс RGMII подключается посредством установки бита CFG1[21] в 1. После этого биты регистра PAALT[25-31] устанавливаются в 1. Выводы порта PA[25-31] становятся выходами. Интерфейс использует входы PA[19-24] для приема информации. Для подключения входной информации наилучшим решением будет конфигурация выводов PB[19-24] как выводов общего назначения в состоянии Вход.

## 9.21 MDIO

Интерфейс MDIO использует линии синхросигнала и данных для последовательной передачи данных внешнему устройству. Для подключения интерфейса к линиям PC[11,12] необходимо установить бит CFG1[21] в 1, а затем установить оба бита PCALT[11,12] в 1. Линия PC[11] может работать как вход и как выход. Направление передачи определяется внутренним контроллером.

## 9.22 CAN0

Интерфейс CAN0 использует одну линию для передачи и одну линию для приема данных. Интерфейс может быть подключен к выводам PC[0,1]. Для подключения передатчика необходимо установить бит CFG1[25] в 1, а затем установить в 1 бит PCALT[0]. Для приема данных лучшим решением будет использовать вывод PC[1] как вывод общего назначения в состоянии Вход.

## 9.23 CAN1

Интерфейс CAN1 использует одну линию для передачи и одну линию для приема данных. Интерфейс может быть подключен к выводам PC[28,29]. Для подключения передатчика необходимо установить бит CFG1[26] в 1, а затем установить в 1 бит PCALT[28]. Для приема данных лучшим решением будет использовать вывод PC[29] как вывод общего назначения в состоянии Вход.

## 9.24 HOST

Интерфейс внешнего хост-устройства использует линии задания начального старта процессора BOOT. Линии BOOT анализируются только во время сброса и защелкиваются во внутренней памяти по окончании сигнала сброса. После этого линии доступны для реализации функций внешнего хоста. Линии PC[4-6] должны быть сконфигурированы как выводы общего назначения в состоянии Вход. Выход данных хост-интерфейса становится активным выходом во время работы интерфейса, при обнаружении активности на входе синхронизации.

